

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 SK00PCT52	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JPO0/03329	国際出願日 (日.月.年) 24.05.00	優先日 (日.月.年) 25.05.99
出願人(氏名又は名称) ソニー株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

- a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。
☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。
- b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。
☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際調査機関に提出された書面による配列表
☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。
☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。
☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
 第 11 図とする。 ☒ 出願人が示したとおりである。 ☐ なし
☐ 出願人は図を示さなかった。
☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H04L29/08、G11B20/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H04L29/08、G11B20/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (Y1、Y2) 1926-2000
日本国公開実用新案公報 (U) 1971-2000
日本国登録実用新案公報 (U) 1994-2000
日本国実用新案登録公報 (Y2) 1996-2000

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	"IEEE Std 1394-1995 IEEE Standard for a High Performance Serial Bus", 8月, 1996、IEEE Computer Society	1~20
A	EP, 825783, A (SONY CORPORATION)、25. 2月、1998 (25. 02. 98)、図1 & JP, 10-65758, A	1~20
A	EP, 825784, A (SONY CORPORATION)、25. 2月、1998 (25. 02. 98)、図1 & JP, 10-65718, A	1~20

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

21. 08. 00

国際調査報告の発送日

05.09.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
石井 研一

電話番号 03-3581-1101 内線 3555

5K 8124



PATENT COOPERATION TREATY

PCT

NOTIFICATION OF RECEIPT OF
RECORD COPY

(PCT Rule 24.2(a))

From the INTERNATIONAL BUREAU

To:

KOIKE, Akira
No. 11 Mori Building
6-4, Toranomom 2-chome
Minato-ku, Tokyo 105-0001
JAPON

Date of mailing (day/month/year) 29 June 2000 (29.06.00)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference SK00PCT52	International application No. PCT/JP00/03329

The applicant is hereby notified that the International Bureau has received the record copy of the international application as detailed below.

Name(s) of the applicant(s) and State(s) for which they are applicants:

SONY CORPORATION (for all designated States except US)
SAKAMOTO, Ichiro et al (for US)

International filing date : 24 May 2000 (24.05.00)

Priority date(s) claimed : 25 May 1999 (25.05.99)

Date of receipt of the record copy
by the International Bureau : 09 June 2000 (09.06.00)

List of designated Offices :

AP : GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZW
EA : AM,AZ,BY,KG,KZ,MD,RU,TJ,TM
EP : AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE
OA : BF,BJ,CF,CG,CI,CM,GA,GN,GW,ML,MR,NE,SN,TD,TG
National : AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,CA,CH,CN,CR,CU,CZ,DE,DK,DM,DZ,EE,ES,
FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,
MG,MK,MN,MW,MX,MZ,NO,NZ,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,US,UZ,
VN,YU,ZA,ZW


ATTENTION

The applicant should carefully check the data appearing in this Notification. In case of any discrepancy between these data and the indications in the international application, the applicant should immediately inform the International Bureau.

In addition, the applicant's attention is drawn to the information contained in the Annex, relating to:

- ☒ time limits for entry into the national phase
☐ confirmation of precautionary designations
☐ requirements regarding priority documents

A copy of this Notification is being sent to the receiving Office and to the International Searching Authority.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer:  Masashi HONDA
Facsimile No. (41-22) 740.14.35	Telephone No. (41-22) 338.83.38

INFORMATION ON TIME LIMITS FOR ENTERING THE NATIONAL PHASE

The applicant is reminded that the "national phase" must be entered before each of the designated Offices indicated in the Notification of Receipt of Record Copy (Form PCT/IB/301) by paying national fees and furnishing translations, as prescribed by the applicable national laws.

The time limit for performing these procedural acts is **20 MONTHS** from the priority date or, for those designated States which the applicant elects in a demand for international preliminary examination or in a later election, **30 MONTHS** from the priority date, provided that the election is made before the expiration of 19 months from the priority date. Some designated (or elected) Offices have fixed time limits which expire even later than 20 or 30 months from the priority date. In other Offices an extension of time or grace period, in some cases upon payment of an additional fee, is available.

In addition to these procedural acts, the applicant may also have to comply with other special requirements applicable in certain Offices. It is the applicant's responsibility to ensure that the necessary steps to enter the national phase are taken in a timely fashion. Most designated Offices do not issue reminders to applicants in connection with the entry into the national phase.

For detailed information about the procedural acts to be performed to enter the national phase before each designated Office, the applicable time limits and possible extensions of time or grace periods, and any other requirements, see the relevant Chapters of Volume II of the PCT Applicant's Guide. Information about the requirements for filing a demand for international preliminary examination is set out in Chapter IX of Volume I of the PCT Applicant's Guide.

GR and ES became bound by PCT Chapter II on 7 September 1996 and 6 September 1997, respectively, and may, therefore, be elected in a demand or a later election filed on or after 7 September 1996 and 6 September 1997, respectively, regardless of the filing date of the international application. (See second paragraph above.)

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

CONFIRMATION OF PRECAUTIONARY DESIGNATIONS

This notification lists only specific designations made under Rule 4.9(a) in the request. It is important to check that these designations are correct. Errors in designations can be corrected where precautionary designations have been made under Rule 4.9(b). The applicant is hereby reminded that any precautionary designations may be confirmed according to Rule 4.9(c) before the expiration of 15 months from the priority date. If it is not confirmed, it will automatically be regarded as withdrawn by the applicant. There will be no reminder and no invitation. Confirmation of a designation consists of the filing of a notice specifying the designated State concerned (with an indication of the kind of protection or treatment desired) and the payment of the designation and confirmation fees. Confirmation must reach the receiving Office within the 15-month time limit.

REQUIREMENTS REGARDING PRIORITY DOCUMENTS

For applicants who have not yet complied with the requirements regarding priority documents, the following is recalled.

Where the priority of an earlier national, regional or international application is claimed, the applicant must submit a copy of the said earlier application, certified by the authority with which it was filed ("the priority document") to the receiving Office (which will transmit it to the International Bureau) or directly to the International Bureau, before the expiration of 16 months from the priority date, provided that any such priority document may still be submitted to the International Bureau before that date of international publication of the international application, in which case that document will be considered to have been received by the International Bureau on the last day of the 16-month time limit (Rule 17.1(a)).

Where the priority document is issued by the receiving Office, the applicant may, instead of submitting the priority document, request the receiving Office to prepare and transmit the priority document to the International Bureau. Such request must be made before the expiration of the 16-month time limit and may be subjected by the receiving Office to the payment of a fee (Rule 17.1(b)).

If the priority document concerned is not submitted to the International Bureau or if the request to the receiving Office to prepare and transmit the priority document has not been made (and the corresponding fee, if any, paid) within the applicable time limit indicated under the preceding paragraphs, any designated State may disregard the priority claim, provided that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity to furnish the priority document within a time limit which is reasonable under the circumstances.

Where several priorities are claimed, the priority date to be considered for the purposes of computing the 16-month time limit is the filing date of the earliest application whose priority is claimed.

PATENT COOPERATION TREATY

PCT

NOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

KOIKE, Akira
No. 11 Mori Building
6-4, Toranomom 2-chome
Minato-ku, Tokyo 105-0001
JAPON

Date of mailing (day/month/year) 29 June 2000 (29.06.00)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference SK00PCT52	
International application No. PCT/JP00/03329	
International publication date (day/month/year) Not yet published	
International filing date (day/month/year) 24 May 2000 (24.05.00)	
Priority date (day/month/year) 25 May 1999 (25.05.99)	
Applicant SONY CORPORATION et al	

- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- An asterisk(*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
25 May 1999 (25.05.99)	11/145472	JP	09 June 2000 (09.06.00)

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer



Masashi HONDA

Telephone No. (41-22) 338.83.38

PATENT COOPERATION TREATY

PCT

NOTICE INFORMING THE APPLICANT OF THE COMMUNICATION OF THE INTERNATIONAL APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

From the INTERNATIONAL BUREAU

To:
KOIKE, Akira
No. 11 Mori Building
6-4, Toranomon 2-chome
Minato-ku, Tokyo 105-0001
JAPON

Date of mailing (day/month/year) 30 November 2000 (30.11.00)		IMPORTANT NOTICE	
Applicant's or agent's file reference SK00PCT52			
International application No. PCT/JP00/03329	International filing date (day/month/year) 24 May 2000 (24.05.00)	Priority date (day/month/year) 25 May 1999 (25.05.99)	
Applicant SONY CORPORATION et al			

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:
AG,AU,DZ,KP,KR,MZ,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:
AE,AL,AM,AP,AT,AZ,BA,BB,BG,BR,BY,CA,CH,CN,CR,CU,CZ,DE,DK,DM,EA,EE,EP,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,NO,NZ,OA,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZW
The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).
3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on 30 November 2000 (30.11.00) under No. WO 00/72552

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer J. Zahra
Facsimile No. (41-22) 740.14.35	Telephone No. (41-22) 338.83.38

特許協力条約に基づく国際出願願書

副本 - 印刷日時 2000年05月24日 (24. 05. 2000) 水曜日 15時20分39秒

0	受理官庁記入欄	
0-1	国際出願番号.	
0-2	国際出願日	
0-3	(受付印)	
0-4	様式-PCT/RO/101 この特許協力条約に基づく 国際出願願書は、 右記によって作成された。	PCT-EASY Version 2.90 (updated 10.05.2000)
0-5	申立て 出願人は、この国際出願が特許 協力条約に従って処理されるこ とを請求する。	
0-6	出願人によって指定された 受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記 号	SK00PCT52
I	発明の名称	ディジタル信号処理装置及び方法、ディジタル信 号処理システム
II	出願人	出願人である (applicant only)
II-1	この欄に記載した者は	米国を除くすべての指定国 (all designated States except US)
II-2	右の指定国についての出願人で ある。	ソニー株式会社 SONY CORPORATION 141-0001 日本国 東京都 品川区 北品川 6 丁目 7 番 3 5 号 7-35, Kitashinagawa 6-chome Shinagawa-ku, Tokyo 141-0001 Japan
II-4ja	名称	
II-4en	Name	
II-5ja	あて名:	
II-5en	Address:	
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP
III-1	その他の出願人又は発明者	出願人及び発明者である (applicant and inventor)
III-1-1	この欄に記載した者は	米国のみ (US only)
III-1-2	右の指定国についての出願人で ある。	坂元 一郎 SAKAMOTO, Ichiro 141-0001 日本国 東京都 品川区 北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 c/o SONY CORPORATION 7-35, Kitashinagawa 6-chome Shinagawa-ku, Tokyo 141-0001 Japan
III-1-4ja	氏名 (姓名)	
III-1-4en	Name (LAST, First)	
III-1-5ja	あて名:	
III-1-5en	Address:	
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP

特許協力条約に基づく国際出願願書

副本 - 印刷日時 2000年05月24日 (24. 05. 2000) 水曜日 15時20分39秒

III-2 III-2-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-2-2	右の指定国についての出願人である。	米国のみ (US only)
III-2-4ja III-2-4en III-2-5ja	氏名(姓名) Name (LAST, First) あて名:	佐藤 真 SATO, Makoto 141-0001 日本国 東京都 品川区 北品川6丁目7番35号 ソニー株式会社内
III-2-5en	Address:	c/o SONY CORPORATION 7-35, Kitashinagawa 6-chome Shinagawa-ku, Tokyo 141-0001 Japan
III-2-6	国籍 (国名)	日本国 JP
III-2-7	住所 (国名)	日本国 JP
IV-1	代理人又は共通の代表者、 通知のあて名 下記の者は国際機関において右 記のごとく出願人のために行動 する。	代理人 (agent)
IV-1-1ja IV-1-1en IV-1-2ja	氏名(姓名) Name (LAST, First) あて名:	小池 晃 KOIKE, Akira 105-0001 日本国 東京都 港区 虎ノ門二丁目6番4号 第11森ビル
IV-1-2en	Address:	No.11 Mori Bldg., 6-4, Toranomon 2-chome Minato-ku, Tokyo 105-0001 Japan
IV-1-3	電話番号	03-3508-8266
IV-1-4	ファクシミリ番号	03-3508-0439
IV-2	その他の代理人	筆頭代理人と同じあて名を有する代理人 (additional agent(s) with same address as first named agent)
IV-2-1ja IV-2-1en	氏名 Name(s)	田村 栄一; 伊賀 誠司 TAMURA, Eiichi; IGA, Seiji
V V-1	国の指定 広域特許 (他の種類の保護又は取扱いを 求める場合には括弧内に記載す る。)	AP: GH GM KE LS MW MZ SD SL SZ TZ UG ZW 及びハラレプロトコルと特許協力条約の締約国で ある他の国 EA: AM AZ BY KG KZ MD RU TJ TM 及びユーラシア特許条約と特許協力条約の締約国 である他の国 EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE 及びヨーロッパ特許条約と特許協力条約の締約国 である他の国 OA: BF BJ CF CG CI CM GA GN GW ML MR NE SN TD TG 及びアフリカ知的所有権機構と特許協力条約の締 約国である他の国

特許協力条約に基づく国際出願願書

副本 - 印刷日時 2000年05月24日 (24. 05. 2000) 水曜日 15時20分39秒

V-2	国内特許 (他の種類の保護又は取扱いを 求める場合には括弧内に記載す る。)	AE AG AL AM AT AU AZ BA BB BG BR BY CA CH&LI CN CR CU CZ DE DK DM DZ EE ES FI GB GD GE GH GM HR HU ID IL IN IS JP KE KG KP KR KZ LC LK LR LS LT LU LV MA MD MG MK MN MW MX MZ NO NZ PL PT RO RU SD SE SG SI SK SL TJ TM TR TT TZ UA UG US UZ VN YU ZA ZW	
V-5	指定の確認の宣言 出願人は、上記の指定に加えて 、規則4.9(b)の規定に基づき、 特許協力条約のもとで認められ る他の全ての国の指定を行う。 ただし、V-6欄に示した国の指 定を除く。出願人は、これらの 追加される指定が確認を条件と していること、並びに優先日か ら15月が経過する前にその確認 がなされない指定は、この期間 の経過時に、出願人によって取 り下げられたものとみなされる ことを宣言する。		
V-6	指定の確認から除かれる国	なし (NONE)	
VI-1	先の国内出願に基づく優先 権主張		
VI-1-1	先の出願日	1999年05月25日 (25. 05. 1999)	
VI-1-2	先の出願番号	平成11年特許願第145472号	
VI-1-3	国名	日本国 JP	
VII-1	特定された国際調査機関 (ISA A)	日本国特許庁 (ISA/JP)	
VIII	照合欄	用紙の枚数	添付された電子データ
VIII-1	願書	4	-
VIII-2	明細書	34	-
VIII-3	請求の範囲	5	-
VIII-4	要約	1	absk00pct52. txt
VIII-5	図面	29	-
VIII-7	合計	73	
VIII-8	添付書類	添付	添付された電子データ
VIII-8	手数料計算用紙	✓	-
VIII-12	優先権証明書	優先権証明書 VI-1	-
VIII-16	PCT-EASYディスク	-	フレキシブルディスク
VIII-17	その他	納付する手数料に相当す る特許印紙を貼付した書 面	-
VIII-18	要約書とともに提示する図 の番号	11	
VIII-19	国際出願の使用言語名:	日本語 (Japanese)	
IX	提出者の記名押印		
IX-1	氏名 (姓名)		
IX-2	権限		

受理官庁記入欄

10-1	国際出願として提出された 書類の実際の受理の日	
------	----------------------------	--

特許協力条約に基づく国際出願願書

副本 - 印刷日時 2000年05月24日 (24.05.2000) 水曜日 15時20分39秒

10-2	図面 :	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日 (訂正日)	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2000 年 11 月 30 日 (30.11.2000)

PCT

(10) 国際公開番号
WO 00/72552 A1

(51) 国際特許分類: H04L 29/08, G11B 20/10

Makoto) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

(21) 国際出願番号: PCT/JP00/03329

(22) 国際出願日: 2000 年 5 月 24 日 (24.05.2000)

(74) 代理人: 小池 晃, 外 (KOIKE, Akira et al.); 〒105-0001 東京都港区虎ノ門二丁目6番4号 第11森ビル Tokyo (JP).

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願平11/145472 1999 年 5 月 25 日 (25.05.1999) JP

(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

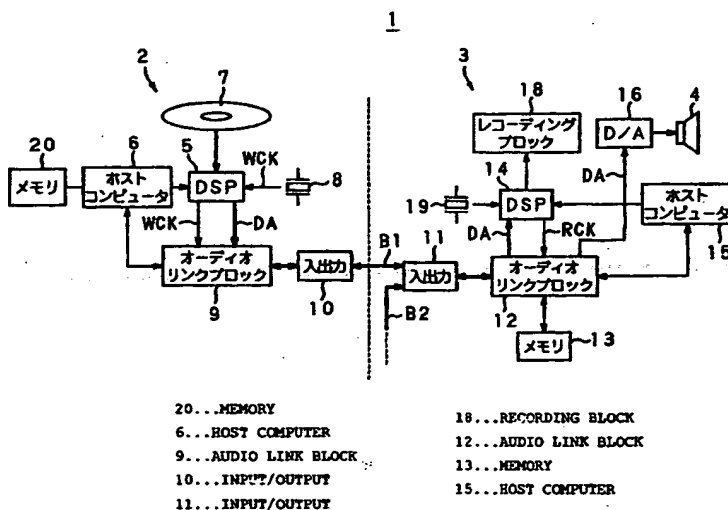
(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 坂元一郎 (SAKAMOTO, Ichiro) [JP/JP]. 佐藤 真 (SATO, Makoto) [JP/JP].

[続葉有]

(54) Title: DIGITAL SIGNAL PROCESSING DEVICE AND METHOD, DIGITAL SIGNAL PROCESSING SYSTEM

(54) 発明の名称: デジタル信号処理装置及び方法、デジタル信号処理システム



(57) Abstract: Provided in a rate control command are a clock rate selection (SYNC SELECT) sub-function corresponding to a digital signal receiver, a base rate setting (BASE CONFIGURE) sub-function, a flow rate control (FLOW CONTROL) sub-function, and a capability inquiry (CAPABILITY INQUIRY) sub-function for the above functions; and the capability inquiry (CAPABILITY INQUIRY) sub-function is used to transmit a clock rate selection (SYNC SELECT) status, a base rate setting (BASE CONFIGURE) status and a flow rate control (FLOW CONTROL) status to a transmission device. Whereby, it is possible to ensure positively and excellently digital signal transmissions between specified apparatuses.

[続葉有]

WO 00/72552 A1

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

レート制御コマンドの中に、ディジタル信号受信先が対応しているクロックレート選択 (SYNC SELECT) サブファンクションとベースレート設定 (BASE CONFIGURE) サブファンクションとフローレート制御 (FLOW CONTROL) サブファンクションと、それら能力問い合わせ (CAPABILITY INQUIRY) サブファンクションとを設け、能力問い合わせ (CAPABILITY INQUIRY) サブファンクションを使用して、クロックレート選択 (SYNC SELECT) 状態とベースレート設定 (BASE CONFIGURE) 状態とフローレート制御 (FLOW CONTROL) 状態を、送信装置側に送信する。これにより、特定の機器の間でのディジタル信号の伝送が、確実かつ良好に行えるようにすることが可能となる。

明細書

ディジタル信号処理装置及び方法、ディジタル信号処理システム

技術分野

本発明は、ディジタル信号処理装置及び方法、ディジタル信号処理システムに関し、例えば I E E E (The Institute of Electrical and Electronics Engineers, Inc.) 1 3 9 4 によりディジタルオーディオデータやディジタルビデオデータ等を伝送する場合に適用して好適なものである。

背景技術

従来、例えばオーディオ機器やビデオ機器では、ディジタル信号によりオーディオ信号やビデオ信号を伝送することで、音質劣化や画質劣化を有効に回避し得るようになされたものがある。

その一例としてオーディオ機器を挙げて説明すると、例えばコンパクトディスクプレイヤーで再生したオーディオ信号をミニディスク装置により記録するような場合、コンパクトディスクプレイヤーは、再生したディジタルオーディオ信号のクロックに基づいて、そのディジタルオーディオ信号を変調して出力する。これに対して、受信側のミニディスク装置は、PLL回路を用いて、当該伝送されてきたディジタル信号よりクロックを抽出した後、この抽出したクロックを基準にして、その伝送されてきたディジタルオーディオ信

号を再生する。これにより、受信側のミニディスク装置は、送信側のクロックに同期して伝送されたデジタルオーディオ信号を処理し、例えば記録等の処理を実行することになる。

このように、デジタルオーディオ信号やデジタルビデオ信号を伝送する場合、受信側では、送信されてきたデジタルオーディオ信号やデジタルビデオ信号のクロックに同期して動作することになる。

ところで、例えばIEEE 1394方式のバスラインを使用し、複数台の機器を接続した場合を考えてみる。この場合、例えば1台の再生装置にてディスクなどから再生したデジタルオーディオ信号やデジタルビデオ信号を、そのバスラインに送出し、当該バスラインに接続された記録装置にて、そのデジタルオーディオ信号やデジタルビデオ信号を受信して記録することなどが行われる。

このようなデジタルオーディオ信号やデジタルビデオ信号の記録処理を考えた場合、再生装置と記録装置は完全に同期していることが必要であり、伝送されるデジタル信号にジッタが含まれることは好ましくない。しかしながら、ジッタを完全に無くすことは困難である。

また、再生装置での再生動作と、記録装置での記録動作とを同期させるために、再生動作などに関する制御データを、バスラインを介して伝送して、それら再生装置と記録装置の2台を同期させることも考えられるが、例えばIEEE 1394方式のバスラインでは、2台以上の複数台の装置を接続することが可能となされており、また、複数のレートでデータの伝送が可能となされているため、例えば、ある再生装置から出力したデジタル信号を、ある記録装置に

て記録しているときに、例えばその再生装置が別の装置からの異なるレート制御コマンドを受けてしまったような場合、記録装置では正常な記録が出来なくなり、記録が失敗してしまうことになる。

発明の開示

本発明はこのような状況に鑑みてなされたものであり、特定の機器の間でのデジタル信号の伝送が、確実かつ良好に行えるようにすることを可能とする、デジタル信号処理装置及び方法、デジタル信号処理システムを提供することを目的とする。

本発明のデジタル信号処理装置は、少なくとも外部よりレート制御が可能な機器と所定の伝送路を介して接続されるデジタル信号処理装置であり、上記所定の伝送路を介して接続された機器に対して、レート制御の対応能力を問い合わせるためのコマンドを生成するコマンド生成手段と、上記コマンドを上記所定のバスに送信する送信手段と、上記送信したコマンドに応じた応答を受信する受信手段とを有する。

このデジタル信号処理装置において、上記レート制御は、同期方式制御と、ベースデータ伝送レート制御、上記ベースデータ伝送レートを微調整する際の可変調整レート制御を含む。また、本発明のデジタル信号処理装置は、上記受信した応答により上記機器のレート制御の対応能力を認識する認識手段を有する。さらに本発明のデジタル信号処理装置は、上記受信した応答により上記機器のレート制御の対応能力に応じて上記機器のレート制御を行うレート制御手段を有する。

次に、本発明のデジタル信号処理装置は、少なくとも外部よりレート制御が可能なデジタル信号処理装置であり、所定の伝送路を介して伝送されてきた上記レート制御の対応能力を問い合わせるためのコマンドを受信する受信手段と、上記コマンドに応じて自己のレート制御の対応能力を調査する調査手段と、上記調査結果を返信する返信手段とを有する。

このデジタル信号処理装置において、上記レート制御は、同期方式制御と、ベースデータ伝送レート制御、上記ベースデータ伝送レートを微調整する際の可変調整レート制御を含む。

ことを特徴とする請求の範囲第5項記載のデジタル信号処理装置。

次に、本発明のデジタル信号処理システムは、少なくとも外部よりレート制御が可能な機器と所定の伝送路を介して接続され、上記機器に対してレート制御の対応能力を問い合わせるためのコマンドを生成するコマンド生成手段と、上記コマンドを上記所定のバスに送信する送信手段と、上記送信したコマンドに応じた応答を受信する受信手段とを有する第1のデジタル信号処理装置と、上記所定の伝送路を介して伝送されてきた上記レート制御の対応能力を問い合わせるためのコマンドを受信する受信手段と、上記コマンドに応じて自己のレート制御の対応能力を調査する調査手段と、上記調査結果を返信する返信手段とを有する第2のデジタル信号処理装置とからなる。

このデジタル信号処理システムにおいて、上記レート制御は、同期方式制御と、ベースデータ伝送レート制御、上記ベースデータ伝送レートを微調整する際の可変調整レート制御を含む。また、上記第1のデジタル信号処理装置は、上記受信した応答により上記

機器のレート制御の対応能力を認識する認識手段を有する。また、上記第1のデジタル信号処理装置は、上記受信した応答により上記機器のレート制御の対応能力に応じて、上記機器のレート制御を行うレート制御手段を有する。

次に、本発明のデジタル信号処理方法は、少なくとも外部よりレート制御が可能な機器と所定の伝送路を介して接続される機器のデジタル信号処理方法であり、上記所定の伝送路を介して接続された機器に対してレート制御の対応能力を問い合わせるためのコマンドを生成し、上記コマンドを上記所定のバスに送信し、上記送信したコマンドに応じた応答を受信する。

このデジタル信号処理方法において、上記レート制御は、同期方式制御と、ベースデータ伝送レート制御、上記ベースデータ伝送レートを微調整する際の可変調整レート制御を含む。また、本発明のデジタル信号処理方法は、上記受信した応答により上記機器のレート制御の対応能力を認識する。また、本発明のデジタル信号処理方法は、上記受信した応答により上記機器のレート制御の対応能力に応じて上記機器のレート制御を行う。

次に、本発明のデジタル信号処理方法は、少なくとも外部よりレート制御が可能な機器のデジタル信号処理方法であり、所定の伝送路を介して伝送されてきた上記レート制御の対応能力を問い合わせるためのコマンドを受信し、上記コマンドに応じて自己のレート制御の対応能力を調査し、上記調査結果を返信する。

このデジタル信号処理方法において、上記レート制御は、同期方式制御と、ベースデータ伝送レート制御、上記ベースデータ伝送レートを微調整する際の可変調整レート制御を含む。

次に、本発明デジタル信号処理方法は、少なくとも外部よりレート制御が可能な機器と所定の伝送路を介して接続され、上記機器に対してレート制御の対応能力を問い合わせるためのコマンドを生成し、上記コマンドを上記所定のバスに送信し、上記送信したコマンドに応じた応答を受信する第1のデジタル信号処理工程と、上記所定の伝送路を介して伝送されてきた上記レート制御の対応能力を問い合わせるためのコマンドを受信し、上記コマンドに応じて自己のレート制御の対応能力を調査し、上記調査結果を返信する第2のデジタル信号処理工程とを有する。

このデジタル信号処理方法において、上記レート制御は、同期方式制御と、ベースデータ伝送レート制御、上記ベースデータ伝送レートを微調整する際の可変調整レート制御を含む。また、上記第1のデジタル信号処理工程は、上記受信した応答により上記ユニットのレート制御の対応能力を認識する。また、上記第1のデジタル信号処理工程は、上記受信した応答により上記ユニットのレート制御の対応能力に応じて、上記ユニットのレート制御を行う、

図面の簡単な説明

図1は、本発明の一実施の形態によるオーディオシステムの全体構成例を示すブロック図である。

図2は、AV/Cコマンドセットのスタックモデルを説明するための図である。

図3は、FCPのコマンドとレスポンスの関係を説明するための図である。

図4は、図3のコマンドとレスポンスの関係をさらに詳しく説明するための図である。

図5は、アシンクロナスパケットのデータ構造を説明するための図である。

図6は、図5のアシンクロナスパケットのctype/responseの一具体例を示す図である。

図7は、subunit typeとopcodeの一具体例を示す図である。

図8は、AV/Cコマンドの具体例を説明するための図である。

図9は、AV/Cコマンドのレスポンスの具体例を説明するための図である。

図10は、アイソクロナスパケットのデータ構造を説明するための図である。

図11は、本発明の一実施の形態によるオーディオシステムの詳細を示すブロック図である。

図12は、クロックベースドレート制御の接続状態の説明に用いる図である。

図13は、コマンドベースドレート制御の接続状態の説明に用いる図である。

図14は、レート制御コマンドの説明に用いる図である。

図15は、図14のsubfunctionフィールドの説明に用いる図である。

図16は、図15のSYNC SELECTサブファンクションの説明に用いる図である。

図17は、図16の結果フィールドの説明に用いる図である。

図18は、図16のsync_selectフィールドの説明に用いる図であ

る。

図 19 は、選択状態が安定したときの図 16 中のresultフィールドの説明に用いる図である。

図 20 は、図 15 のBASE CONFIGUREサブファンクションの説明に用いる図である。

図 21 は、図 20 のresultフィールドの説明に用いる図である。

図 22 は、図 16 のbase_config_stateフィールドの説明に用いる図である。

図 23 は、選択状態が安定したときの図 20 中のresultフィールドの説明に用いる図である。

図 24 は、図 15 のFLOW CONTROLサブファンクションの説明に用いる図である。

図 25 は、図 24 のresultフィールドの説明に用いる図である。

図 26 は、図 24 のflow_control_stateフィールドの説明に用いる図である。

図 27 は、選択状態が安定したときの図 24 中のresultフィールドの説明に用いる図である。

図 28 は、図 15 のCAPABILITY INQUIRYサブファンクションの説明に用いる図である。

図 29 は、図 28 のcombination_of_state[]フィールドの説明に用いる図である。

図 30 は、選択状態が安定したときの図 28 中のresultフィールドの説明に用いる図である。

図 31 は、サブファンクションを用いて、ソースサブユニットプラグを持つソースデバイスや、サブユニット宛先プラグを持つ宛先

デバイスのコントローラが行う、ベースレート制御の処理の流れを示すフローチャートである。

発明を実施するための最良の形態

本発明の好ましい実施の形態について、図面を参照しながら説明する。

図 1 は、本発明が適用される一実施の形態として、ディスク媒体を用いたオーディオシステムの概要を示すブロック図である。もちろん、本発明はオーディオシステムだけでなく、ビデオシステムやその他のシステムにも適用できることは言うまでもない。また、図 1 の例ではディスク媒体を用いたオーディオシステムを例に挙げているが、その他の媒体、例えばテープ媒体や半導体メモリ媒体を用いたシステムであっても良い。

本実施の形態のオーディオシステム 1 は、ディスク再生装置 2 において例えば再生専用光ディスクからデジタルオーディオ信号を再生してディスク記録再生装置 3 に伝送し、このディスク記録再生装置 3 において、当該伝送されてきたデジタルオーディオ信号を別の記録再生可能な光ディスク（例えば光磁気ディスク）記録する。また、ディスク記録再生装置 3 は、ディスク再生装置 2 で再生したデジタルオーディオ信号をアンプ装置 30 に伝送し、このアンプ装置 30 に接続された左右のスピーカ装置 31, 32 から音声として放音させる。この場合、ディスク再生装置 2 とディスク記録再生装置 3 とアンプ装置 30 との間は、IEEE (The Institute of Electrical and Electronics Engineers) 1394 インターフェイス

方式で規定されたバスラインB 1, B 2で接続してある。なお、I E E E 1 3 9 4 インターフェイス方式の場合には、接続順序はどのような接続であっても良く、図 1 は一例を示したものである。また、別のバスラインB 3により図示しない他のオーディオ機器などと接続することも可能である。

ここで、I E E E 1 3 9 4 インターフェイスの規定について以下に説明する。

I E E E 1 3 9 4 インターフェイスの規定には、I E E E 1 3 9 4 バスを介して接続されたA V (Audio Visual) 機器のコントロールのためのコマンドとして、A V / C コマンドセット (A V / C Command Set) が定められている。なお、上記A V / C コマンドについての詳細は、文献 (A V / C Command Set for Rate Control of Isochronous Data Flow 1.0 TA Candidate 1.0 December 16, 1999) 中のものを記載してある。

このA V / C コマンドセットでは、機器そのものを表すものとしてユニット (unit)、機器の機能を表すものとしてサブユニット (subunit) という概念が存在する。A V / C コマンドセットでは、機器の様々な情報を外部の機器に示すために、ディスクリプタ (Descriptor) と呼ばれるレジスタ領域が設けてあり、各機器の機能は、サブユニット アイデンティファイヤ ディスクリプタ (Subunit Identifier Descriptor) に記述されている。また、これらA V 機器のうち、他の機器にアクセスする機器は、コントローラと呼ばれ、コントローラにより制御される機器 (他の機器によりアクセスされる機器) はターゲットと呼ばれている。コントローラは、システムが確立した時に、ターゲットのSubunit Identifier Descriptorを読

み出すことで、ターゲットの機能を知ることが可能となされている。

以下、このAV/Cコマンドセットについて説明する。

図2には、AV/Cコマンドセットのスタックモデルを示している。図2に示すように、物理レイヤ (Physical Layer) 111、リンクレイヤ (Link Layer) 112、トランザクションレイヤ (Transaction Layer) 113、およびシリアスバスマネジメント (Serial Bus Management) 114は、IEEE 1394に準拠している。FCP (Function Control Protocol) 115は、IEC 61883に準拠している。AV/Cコマンドセット116は、1394 TAspecに準拠している。

図3は、図2のFCP 115のコマンドとレスポンスを説明するための図である。

FCPはIEEE 1394上のAV機器の制御を行うためのプロトコルである。図3に示すように、制御する側はコントローラとなっており、制御される側はターゲットとなっている。FCPのコマンドの送信またはレスポンスは、IEEE 1394のアシンクロナス通信のライトトランザクションを用いてノード間で行われる。データを受け取ったターゲットは、受信確認のために、アクノリッジ (Ack) をコントローラに返す。

図4は、図3で示したFCPのコマンドとレスポンスの関係をさらに詳しく説明するための図である。

IEEE 1394バスを介してノードAとノードBが接続されている。図4の例では、ノードAがコントローラで、ノードBがターゲットである。ノードA、ノードBは共にコマンドレジスタ及びレスポンスレジスタが、それぞれ512バイトずつ準備されている。

図4に示すように、コントローラは、ターゲットのコマンドレジスタ123にコマンドメッセージを書き込むことにより命令を伝える。

また逆に、ターゲットは、コントローラのレスポンスレジスタ122にレスポンスメッセージを書き込むことにより応答を伝えている。これらコントローラとターゲットでは、以上2つのメッセージを対にして、制御情報のやり取りを行う。

F C Pで送られるコマンドセットの種類は、以下の図5に示すデータフィールド中のC T Sに記される。

図5は、A V / C コマンドのアシクロナスパケットのデータ構造を示している。アシクロナス転送パケットは、データの送信元と受信先のアドレスが示された非同期の1対1通信用のパケットである。

A V / C コマンドセットは、A V 機器を制御するためのコマンドセットであり、C T S (コマンドセットのI D) は" 0000" (C T S = " 0000") となる。また、A V / C コマンドフレームおよびレスポンスフレームが、上記F C Pを用いてノード間でやり取りされる。さらに、バスおよびA V 機器に負担をかけないために、コマンドに対するレスポンスは、100ms以内に行うことになっている。

図5に示すように、アシクロナスパケットのデータは、水平方向32ビット (= 1 quadlet) で構成されている。図中上段はパケットのヘッダ部分を示しており、図中下段はデータブロックを示している。図中destination_IDは、宛先を示している。

C T SはコマンドセットのI Dを示しており、A V / C コマンドセットではC T S = " 0000" である。図中ctype/responseのフィールドは、パケットがコマンドの場合はコマンドの機能分類を示し、

パケットがレスポンスの場合はコマンドの処理結果を示す。

コマンドは大きく分けて、

- (1) 機能を外部から制御するコマンド (CONTROLコマンド)、
- (2) 外部から状態を問い合わせるコマンド (STATUSコマンド)、
- (3) 制御コマンドのサポートの有無を外部から問い合わせるコマンド (GENERAL INQUIRYコマンド (opcodeのサポートの有無) および SPECIFIC INQUIRYコマンド (opcodeおよびoperandsのサポートの有無))、
- (4) 状態の変化を外部に知らせるよう要求するコマンド (NOTIFYコマンド)

の4種類が定義されている。

レスポンスはコマンドの種類に応じて返される。CONTROLコマンドに対するレスポンスには、NOT IMPLEMENTED (実装されていない)、ACCEPTED (受け入れる)、REJECTED (拒絶する)、およびINTERIM (暫定) がある。STATUSコマンドに対するレスポンスには、NOT IMPLEMENTED、REJECTED、IN TRANSITION (移行中)、およびSTABLE (安定) がある。GENERAL INQUIRYおよびSPECIFIC INQUIRYコマンドに対するレスポンスには、IMPLEMENTED (実装されている)、およびNOT IMPLEMENTEDがある。NOTIFYコマンドに対するレスポンスには、NOT IMPLEMENTED、REJECTED、INTERIMおよびCHANGED (変化した) がある。

図5中のsubunit typeは、機器内の機能を特定するために設けられており、例えば、tape recorder/player, tuner等が割り当てられる。同じ種類のサブユニットが複数存在する場合の判別を行うために、判別番号としてsubunit idでアドレッシングを行う。opcodeは

コマンドを表しており、operandはコマンドのパラメータを表している。Additional operandsは必要に応じて付加されるフィールドである。paddingも必要に応じて付加されるフィールドである。data CRC (Cyclic Redundancy Check) はデータ伝送時のエラーチェックに使われる。

図6及び図7は、上記のAV/Cコマンドの具体例を示している。

図6は、図5のアシクロナスパケットのctype/responseの具体例を示している。図中上段がコマンド (Command) を表しており、図中下段がレスポンス (Respons) を表している。”0000”にはCONTROL、”0001”にはSTATUS、”0010”にはSPECIFIC INQUIRY、”0011”にはNOTIFY、”0100”にはGENERAL INQUIRYが割り当てられている。”0101”乃至”0111”は将来の仕様のために予約確保されている。また、”1000”にはNOT IMPLEMENTED、”1001”にはACCEPTED、”1010”にはREJECTED、”1011”にはIN TRANSITION、”1100”にはIMPLEMENTED/STABLE、”1101”にはCHANGED、”1111”にはINTERIMが割り当てられている。”1110”は将来の仕様のために予約確保されている。

図7には、subunit typeとopcodeの具体例を示している。図7のsubunit_typeの”00000”にはVideo Monitor、”00011”にはDisk recorder/Player、”00100”にはTape recorder/Player、”00101”にはTuner、”00111”にはVideo Camera、”11100”にはVendor unique、”11110”にはSubunit type extended to next byteが割り当てられている。なお、”11111”にはunitが割り当てられているが、これは機器そのものに送られる場合に用いられ、例えば電源のオンオフなどが挙げられる。

図 7 に示すように、各subunit type毎にopcodeのテーブルが存在し、この図 7 には、一例としてsubunit typeがTape recorder/Playerの場合のopcodeを示している。また、opcode毎にoperandが定義されている。ここでは、" 00h" にはVENDOR-DEPENDENT、" 50h" にはSEARCH MODE、" 51h" にはTIMECODE、" 52h" にはATN、" 60h" にはOPEN MIC、" 61h" にはREAD MIC、" 62h" にはWRITE MIC、" C1h" にはLOAD MEDIUM、" C2h" にはRECORD、" C3h" にはPLAY、" C4h" にはWINDが割り当てられている。

図 8、図 9 には、A V / C コマンドとレスポンスの具体例を示している。なお、図 8、図 9 では、subunit typeがTape recorder/Playerの場合のA V / C コマンドとレスポンスの例を挙げている。

例えば、ターゲットとしてのA V 機器に再生を行わせる場合、コントローラとしてのA V 機器は、図 8 のようなコマンドをターゲットに送る。

このコマンドは、A V / C コマンドセットを使用しているため、CTS=" 0000" となっている。ctypeには、機能を外部から制御するコマンド (CONTROL) を用いるため、ctype=" 0000" となっている (図 6 参照)。subunit typeはTape recorder/Playerであることより、subunit type=" 00100" となっている (図 7 参照)。idはID0の場合を示しており、id=000となっている。opcodeは再生を意味する" C3h" となっている (図 7 参照)。operandはFORWARDを意味する" 75h" となっている。

そして、図 8 のコマンドに応じて、ターゲットは、図 9 のようなレスポンスをコントローラに返す。ここでは、受け入れを意味するacceptedがresponseに入るため、response=" 1001" となっている

(図 6 参照)。responseを除いて、他は図 8 と同じであるので説明は省略する。

一方、オーディオデータのようなリアルタイム性と同期性が要求される各種のデータは、図 10 に示すようなデータ構造のアイソクロナスパケットとして伝送される。

図 10 には、アイソクロナスパケットの一部を示す。アイソクロナスパケットのデータは、水平方向 32 ビット (= 1 quadlet) で構成されている。図中上段はヘッダ部分を示しており、図中下段はデータブロックを示している。なお、アイソクロナスパケットは、図 10 に示すパケットの左上から右下へ順次転送される。

このアイソクロナスパケットは、パケットヘッダ (packet header) として、データ長 (data length)、タグ (tag)、チャンネル (channel)、パケットのコード (tcode)、同期化コード (sy)、誤り訂正符号 CRC によるヘッダが割り当てられる。

また、CIPヘッダ (Common Isochronous Packet Header) には、自己の識別コードSID、データのブロックサイズDBS、ソースパケットの分割数FN、ソースパケットヘッダの有無を示すマーカースPH、リザーブRSV、所定サイズのデータを分割して各パケットに割り当てた際の連続するパケットのカウント値DBC等が割り当られ、さらに続く 32 ビットに、伝送フォーマットFMT、フォーマットに依存するデータが割り当てられる領域FDF、タイムスタンプ等の記録領域SYT等が割り当てられる。

残りは、32 ビットを単位にしたソースデータであるオーディオデータ等が配されるデータフィールド (data field) となり、その後、当該データの誤り訂正符号 (data CRC) が末尾に付加される。

なお、本実施の形態においては、8ビットで構成されるフォーマットに依存するデータが割り当てられる領域F D Fの中の特定位置の1ビット（図10中に破線で囲んで示す位置の1ビット）を使用して、後述するようなオーディオ信号の伝送レートのコントロールが行われていることを示すフラグF Cを付加してある。このフラグF Cが“1”信号であるとき、伝送レートのコントロールが行われているモードであることが示され、フラグF Cが“0”信号であるとき、伝送レートのコントロールが行われてないモードであることが示される。伝送レートのコントロールの詳細については後述する。

次に、図11には、図1に示した本実施の形態のオーディオシステムのディスク再生装置2とディスク記録再生装置3の具体的構成を示す。

ディスク再生装置2において、デジタルシグナルプロセッサ(DSP)5は、ホストコンピュータ6の制御により、デジタルオーディオディスクである光ディスク7を回転駆動し、この光ディスク7に記録されたデジタルオーディオ信号D Aを再生して出力する。このときデジタルシグナルプロセッサ5は、当該装置2に内蔵されている水晶発振回路8により生成されているクロックW C Kに同期してデジタルオーディオ信号D Aを再生すると共に、再生したデジタルオーディオ信号D Aをオーディオリンクブロック9に出力する。すなわち、このときのデジタルシグナルプロセッサ5は、ホストコンピュータ6の指示による再生速度により光ディスク7を再生してデジタルオーディオ信号D Aを出力する。なお、本例の場合、再生速度は、1倍速（即ち通常再生速度）の他に、2倍速，4倍速，8倍速，16倍速が設定できるようになっている。

また、それぞれの再生速度を設定した上で、さらに±数%（例えば±1%程度）の再生レートの微調整ができるようになっている。

オーディオリンクブロック9は、ホストコンピュータ6の制御により、このデジタルオーディオ信号DAをパケット化し、入出力回路10を制御してこのパケットをディスク記録再生装置3に送出する。またオーディオリンクブロック9は、入出力回路10を介して入力されるパケットを取得し、必要に応じてこのパケットの内容をホストコンピュータ6に送出する。

入出力回路10は、オーディオリンクブロック9の出力データをパラレルシリアル変換処理し、所定のデータを付加した後、バイフェーズマーク変調してバスラインB1に出力する。すなわち、入出力回路10は、オーディオリンクブロック9から入力されたパケットに、このパケットの再生に必要なクロックWCKを重畳してバスラインB1に送出する。また、入出力回路10は、バスラインB1で伝送されるパケットを監視し、ディスク再生装置2を宛先として指定されているパケットを取得する。入出力回路10は、この取得したパケットを復号し、シリアルパラレル変換処理してオーディオリンクブロック9に出力する。

このようにディスク再生装置2及びディスク記録再生装置3間においては、IEEE1394インターフェイスに規定のバスラインB1により接続され、オーディオリンクブロック9及び入出力回路10は、このIEEE1394に規定のフォーマットによりデジタルオーディオ信号DAをパケット化し、またこのパケットにより伝送されたデータをホストコンピュータ6に通知する。具体的に説明すると、デジタルオーディオ信号DAについては、IEEE1

394 インターフェイスで規定された図10のアイソクロナスパケットとしてリアルタイム性を確保して伝送し、各種制御コマンドなどの他のデータについては、図5のアシンクロナスパケットとして非同期で随時伝送する構成としてある。

オーディオリンクブロック9は、図10に示した構成のアイソクロナスパケットにデジタルオーディオ信号DAを所定単位ずつ附加し、入出力回路10を介して送出する。

また、オーディオリンクブロック9は、入出力回路10で受信した図5に示した1対1通信用のアシンクロナスパケットを受け取ると、このパケットに割り当てられたデータをホストコンピュータ6に転送し、これによりディスク記録再生装置3よりディスク再生装置2に送出された各種制御コマンドをホストコンピュータ6に通知する。

ホストコンピュータ6は、このディスク再生装置2全体の動作を制御するコンピュータにより構成され、このディスク再生装置2の操作パネルに配置された操作子の操作に応動してデジタルシグナルプロセッサ5の動作を制御することにより、光ディスク7を再生させる。

また、この光ディスク7から再生されたデジタルオーディオ信号DAをディスク記録再生装置3に伝送する場合、ホストコンピュータ6は、オーディオリンクブロック9を介して、ディスク記録再生装置3より送出された制御コマンドを受け、この制御コマンドに従って光ディスク7の再生動作を制御する。

すなわちホストコンピュータ6は、ディスク記録再生装置3より、例えば再生レートを微調整する制御コマンドが入力されると、ディ

デジタルシグナルプロセッサ 5 に光ディスク 7 の再生状態を該当する状態に指示する。またディスク記録再生装置 3 より再生速度を切り換える制御コマンドが入力されると、この指示に従ってデジタルシグナルプロセッサ 5 に対して再生速度の切り換えを指示する。

これによりディスク再生装置 2 では、ディスク記録再生装置 3 の制御により、単位時間当たりのデータ量を可変してデジタルオーディオ信号 D A を送出することになる。

また、メモリ 20 には、少なくとも Subunit Identifier Descriptor として、各サブユニットの機能が記述されており、さらにこのディスクリプタには、当該ディスク再生装置 2 における後述するレート制御の対応情報が格納されている。ホストコンピュータ 6 は、デジタル記録再生装置 3 より送信されてきた、後述する能力問い合わせのコマンドに応じて、当該メモリ 20 に格納されているレート制御の対応情報を読み出して返信する。

一方、ディスク記録再生装置 3 において、入出力回路 11 は、ディスク再生装置 2 の入出力回路 10 と同様に、バスライン B 1, B 2 で伝送されるバケットを監視し、ディスク記録再生装置 3 を指定するバケットを取得する。さらに、入出力回路 11 は、この取得したバケットのデータを、オーディオリンクブロック 12 に転送する。このとき入出力回路 11 は、バスライン B 1, B 2 から伝送されるデータを、所定のクロックに同期して検出し、伝送されるバケット内の各データを再生する。

ここで、オーディオデータが伝送されるアイソクロナスバケットを受信する場合において、後述するフローレート制御のモードでない伝送モードでの受信を行う場合、入出力回路 11 は、記録領域 S

Y Tに配置されたタイムスタンプを参照して、伝送されるオーディオデータに同期して再生する処理を行う。一方、フローレート制御のモードの場合、入出力回路11は、記録領域S Y Tに配置されたタイムスタンプを参照せずに再生する。すなわち、入出力回路11は、ディスク記録再生装置3内のクロック発生回路である水晶発振回路19で発生したクロックに同期するように、伝送されてきたバケットを再生する。但し、フローレート制御のモードの場合でも、タイムスタンプを参照して同期処理が行える場合、入出力回路11は、タイムスタンプを使用した再生を行っても良い。

オーディオリンクブロック12は、この入出力回路11よりバケットを取得し、このバケットに割り当てられたデジタルオーディオ信号D Aをメモリ13（図2）に設定されたデジタルオーディオ信号D Aの記録領域に格納する。またオーディオリンクブロック12は、ホストコンピュータ15の制御により、メモリ13に保持したデジタルオーディオ信号D Aをデジタルシグナルプロセッサ14又はデジタルアナログ変換回路（D/A）16に出力し、またメモリ13からのデジタルオーディオ信号D Aの読み出しを中止する。

この一連の処理において、オーディオリンクブロック12は、ディスク再生装置2のクロックW C Kに同期してなる、入力データに重畳されたクロックW C Kを基準にして、デジタルオーディオ信号D Aをメモリ13に記録した後、デジタルシグナルプロセッサ14より出力されるクロックR C Kにより読み出して出力する。

レコーディングブロック18は、ディスクを回転駆動する駆動機構、光ピックアップ等の記録再生系により構成され、デジタルシ

グナルプロセッサ 14 より出力される記録信号に応じて光磁気ディスクに順次マークを形成する。

ディジタルシグナルプロセッサ 14 は、レコーディングブロック 18 の動作を制御すると共に、オーディオリンクブロック 12 より出力されるディジタルオーディオ信号 D A に応じた記録信号を生成して出力する。このように、ディスク記録再生装置 3 では、ディジタルシグナルプロセッサ 14 及びレコーディングブロック 18 によりディジタルオーディオ信号 D A をディスクに記録する。

このときディジタルシグナルプロセッサ 14 は、内蔵の水晶発振回路 19 により、ディスク再生装置 2 のクロック W C K と非同期で、かつ精度の高いクロック R C K を生成し、このクロック R C K を基準にしてオーディオリンクブロック 12 より出力されるディジタルオーディオ信号 D A を処理する。またこのクロック R C K をレコーディングブロック 18、ディジタルアナログ変換回路 16、オーディオリンクブロック 12 に出力する。

ディジタルアナログ変換回路 16 は、P W M 変調方式によりディジタルオーディオ信号 D A をアナログ信号に変換するいわゆる 1 b i t のディジタルアナログ変換回路であり、アナログ信号に変換されたオーディオ信号を生成して、このディスク記録再生装置 3 に接続されたスピーカ 4 を駆動させる。

ホストコンピュータ 15 は、このディスク記録再生装置 3 全体の動作を制御するコンピュータにより構成され、このディスク記録再生装置 3 の操作パネルに配置された操作子の操作に応動してディジタルシグナルプロセッサ 14 等の動作を制御することによりディジタルオーディオ信号 D A をディスクに記録し、又はスピーカ 4 より

音声として出力させる。

このデジタルオーディオ信号DAの処理において、ディスク再生装置2より伝送されたデジタルオーディオ信号DAを処理する場合、ホストコンピュータ15は、メモリ13に保持されたデジタルオーディオ信号DAのデータ量に応じて、ディスク再生装置2の制御コマンドを生成して送り、これによりメモリ13に保持したデジタルオーディオ信号DAのデータ量に応じて、ディスク再生装置2から送出される単位時間当たりのデジタルオーディオ信号DAのデータ量を可変制御する。

次に、本実施の形態におけるレート制御について説明する。

ここで、レート制御コマンドを使用するアプリケーション例としては、オーディオストリームのジッタレス再生（デスティネーション機器でのジッタレス再生）、オーディオストリームやビデオストリームの高速ダビング（ソース機器とデスティネーション機器間での高速ダビング）、オーディオストリームやビデオストリームの外部クロック同期（ソース機器が外部クロックに同期したデータを出力）を実現するものなどが考えられる。

これらのアプリケーションに依存してレート制御コマンドで使われる機能は異なるので、コマンドを受ける側（ターゲット）は、それに合わせて必要な機能だけに対応することになる。その場合、コマンドを発行する側（コントローラ）は、ターゲット機器がどの機能に対応しているのかを事前に知っておくと効率的である。さらに、各機能は、完全に独立している訳ではなく、例えば、内部クロックと4倍速の組み合わせは可能であるが、外部クロックと4倍速の組み合わせは不可能といったケースも考えられる。

そこで、本発明実施の形態では、各機能で指定する状態の組み合わせに、ターゲットが対応しているかどうかを調べるためのコマンドを設定している。

すなわち、本実施の形態では、IEC-61883等で規定されている接続と共に、オーディオ／ビデオデバイス間のアイソクロナスデータ転送の際のレート制御を可能とするために、コマンドベースレート制御 (Command-based Rate control) 及びクロックベースレート制御 (Clock-based Rate control) の2つのレートコントロールモデルと、クロックソース選択及びベースレート (base-rate) 設定、フローレート制御、能力の問い合わせのためのコマンドファンクション (サブファンクション) をAV／Cコマンドとして規定している。

ソース機器は、コマンドの各機能に対応して、クロックソースの選択状態 (SYNC SELECT: 外部クロック同期 (EXTERNAL)、内部クロック同期 (INTERNAL)、フローコントロール (FLOW CONTROL) の何れか)、ベースレートの設定状態 (BASE CONFIGURE: 例えば1倍速、2倍速、・・・、16倍速の何れか)、フローレートの制御状態 (FLOW CONTROL: ベースレートを中心としたレートの微調整 (±1%)、例えば標準、高速、低速)、能力問い合わせ (CAPABILITY INQUIRY) などの機能を有している。特に、上記能力問い合わせ (CAPABILITY INQUIRY) の機能によれば、これらの各機能状態を組み合わせること、例えば内部クロックと4倍速の組み合わせや、フローレート制御と4倍速と高速の組み合わせなどにターゲット機器が対応しているかどうかを、それらの機能を使う前に調べることが可能となっている。

なお、上記クロックベースドレート制御のための接続例としては例えば図 1 2 に示すような構成が考えられ、この図 1 2 の接続状態において、クロック情報 (Clock Information) は、ソースユニット (Source Unit) 5 0 のプラグ (Serial Bus Input Plug又はExternal Input Plug) 5 1 を介して、ソースサブユニット (Source Subunit) 5 2 の宛先プラグ (Destination Plugs) 5 3 に伝送され、データは、ソースサブユニット 5 2 のプラグ (Source Plug) 5 5 を介してソースユニット 5 0 のプラグ (Serial Bus Output Plug) 5 7 からシリアルバスに伝送される。この図 1 2 の構成において、ソースユニット 5 0 では、クロック情報 (Clock Information) に基づいてデータ伝送レートが決定されている。

また、上記コマンドベースドレート制御のための接続例としては、例えば図 1 3 に示すような構成が考えられる。この図 1 3 の接続状態において、アイソクロナスデータフロー情報 (Isochronous Data Flow) は、ソースユニット (Source Unit) 6 0 のサブユニット (Subunit) 6 7 のプラグ (Source Plug) 6 1 又は 6 2 から、当該ソースユニット (Source Unit) 6 0 のプラグ (Serial Bus Output Plug) 6 3 を介して、デスティネーションユニット (Destination Unit) 6 9 のサブユニット 6 8 のプラグ (Serial Bus Input Plug) に伝送され、サブユニット (Subunit) 6 8 の宛先プラグ (Destination Plugs) 6 5 又は 6 6 に伝送される。この図 1 2 の構成において、デスティネーションユニット 6 9 のサブユニット 6 8 は、ソースユニット 6 0 によりコマンドベースによるレート制御がなされる。

ここで、コマンドベースドレート制御を行うためのレート制御コ

マンドは、ディスティネーションユニットの各サブユニットのプラグ上でデータのレートコントロールを行う際に使われ、このレート制御コマンドにはサブファンクション (subfunction) が含まれている。

上記サブファンクションは、大別すると、クロックソースの選択 (SYNC SELECT: 外部クロック同期 (EXTERNAL)、内部クロック同期 (INTERNAL)、フローコントロール (FLOW CONTROL) の何れか)、ベースレートの設定 (BASE CONFIGURE: 例えば 1 倍速、2 倍速、・・・、16 倍速)、フローコントロールが選ばれている場合のフローレート制御 (ベースレートを中心としたレートの微調整 ($\pm 1\%$) すなわち標準、高速、低速)、能力問い合わせ (CAPABILITY INQUIRY) からなる。

上記クロックソースの選択サブファンクション (SYNC SELECT) は、ソースサブユニットのプラグ上のデータストリームを同期させるためのクロックソースを選択するために使用され、当該選択されるクロックソースとしては、内部クロック (INTERNAL) と外部クロック (EXTERNAL)、フローレート制御 (FLOW CONTROL) の何れかがある。

また、ベースレート設定のサブファンクション (BASE CONFIGURE) は、データストリームを伝送する前に、サブユニットのプラグ上で基準となるレートを設定するために用意されている。すなわち、レート制御は 1 対 1 の各機器間で行われるが、レート制御の宛先は複数設定可能であり、レート制御の宛先の機器のうち一つは、上記ベースレート設定サブファンクション (BASE CONFIGURE) によりベースレートを設定し、この機器がソース機器としてサブユニットのソースプラグ上のフローレートをコントロールする。このようなレ

ート制御は排他的となされ、したがって上記ソースクロック選択サブファンクションは、当該データレートの排他的制御を行うか若しくは解除する際に使用される。なお、当該ベースレート設定のサブファンクションは、クロックソース選択サブファンクションの選択状態に関係なく使用される。

上記フローレート制御のサブファンクション (FLOW CONTROL) は、サブユニットのプラグ上で、データ伝送中でも動的にレートを制御可能とするために用意されている。当該フローレート制御のサブファンクションは、クロックソース選択サブファンクション (SYNC SELECT) での選択状態がフローコントロール (FLOW CONTROL) を選択しているときのみ有効となる。

上記能力問い合わせのサブファンクション (CAPABILITY INQUIRY) は、レート制御コマンドと関連するサブユニットのプラグの能力を知るために使われ、コマンドベースドレートコントロールによるレート制御コマンドが実行されたときに、当該能力問い合わせサブファンクションがサポートされる。ここで、サブユニットプラグの能力は、クロックソースの選択状態 (内部クロック同期か外部クロック同期かフローレート制御か) を表す 1 バイトと、ベースレートの構成状態 (1 倍速、2 倍速、……、16 倍速の何れか) を表す 1 バイトと、フローレートの制御状態 (標準、高速、低速) を表す 1 バイトの、合計 3 バイトにより表される。

次に、上述したレート制御コマンドのフォーマットは、図 14 に示すようなものとなされている。この図 14 に示すレート制御コマンドが、サブユニットに送られ、サブユニットのプラグ上でデータレートがコントロールされることになる。

当該図 1 4 中の subfunction (サブファンクション) のフィールドは、図 1 5 に示すように設定されている。なお、図 1 5 中の SYNC SELECT は、サブユニットソースプラグ上のストリームを同期させるための前記クロックソース選択のサブファンクションを、BASE CONFIGURE は、サブユニットソースプラグ上でのベースレートの計算のための前記ベースレート設定のサブファンクションを、FLOW CONTROL は、サブユニットソースプラグ上でのフローレートのコントロールのための前記フローレート制御サブファンクションを、CAPABILITY INQUIRY は、レートコマンドとサブユニットプラグのレートを合わせるための前記能力問い合わせのサブファンクションを意味する。

次に、図 1 5 中の SYNC SELECT のサブファンクションは、図 1 6 のように表される。当該図 1 6 中の result フィールドは、図 1 7 に示したテーブル内の何れかの値を持つ。また、図 1 6 中の sync_select_state フィールドは、図 1 8 に示すように表され、サブユニットソースプラグ上で同期化のためのソースの選択状態を指定する。図 1 9 には、選択状態が安定したときの図 1 6 中の result フィールドのテーブルを示す。

次に、図 1 5 中の BASE CONFIGURE のサブファンクションは、図 2 0 のように表される。当該図 2 0 中の result フィールドは、図 2 1 に示したテーブル内の何れかの値を持つ。また、図 2 0 中の base_config_state フィールドは、図 2 2 に示すように表され、ベースレートと構成を指定する。図 2 3 には、選択状態が安定したときの図 2 0 中の result フィールドのテーブルを示す。

次に、図 1 5 中の FLOW CONTROL のサブファンクションは、図 2 4 のように表される。当該図 2 4 中の result フィールドは、図 2 5 に

示したテーブル内の何れかの値を持つ。また、図 2 4 中のflow_control_stateフィールドは、図 2 6 に示すような値を持つ。図 2 7 には、選択状態が安定したときの図 2 4 中のresultフィールドのテーブルを示す。

次に、図 1 5 中のCAPABILITY INQUIRYのサブファンクションは、図 2 8 のように表される。当該図 2 8 中のcombination_of_state[]フィールドは、図 2 9 に示したテーブルを持つ。また、図 2 8 中のresultフィールドの各ビットは、指定された組み合わせがサポートされているか否かを表し、図 3 0 に示すような値を持つ。

次に、図 3 1 には、上述したサブファンクションを用いて、ソースサブユニットプラグを持つソースデバイスや、サブユニット宛先プラグを持つ宛先デバイスのコントローラが行う、ベースレート制御の処理の流れを示す。

この図 3 1 において、コントローラは、先ずステップ S 1 としてベースレートの設定を行う。すなわち、コントローラは、レート制御命令を利用することによってサブユニットプラグ上でベースレートを設定する。次に、コントローラは、ステップ S 2 として、ベースレートは設定されたか否かを判定し、設定されていないときは処理が失敗したことを例えばメッセージにて送り、設定されたときはステップ S 3 の処理に進む。

コントローラは、ステップ S 3 の処理に進むと、当該ステップ S 3 にて接続の確立を行う。すなわち、コントローラは、サブユニットのソースプラグとソースデバイスのシリアルバス出力プラグの間の接続ながされていない場合は、CONNECTコントロールコマンドを使用して接続を確立する。また、サブユニットの宛先プラグと宛先デ

バイスのシリアルバス入力プラグの間の接続がなされていない場合は、CONNECTコントロールコマンドを使用して接続を確立する。さらに、ソースデバイスのシリアルバス出力プラグと宛先デバイスのシリアルバス入力プラグとの間を、IEC-61883で述べられている手法により接続を確立する。なお、設定したベースレートよりも高い帯域（レート）が必要となるような場合、コントローラは、当該ベースレート設定前のソースデバイスと宛先デバイスの間の接続を切断し、その後に再度接続の設定を行う。このステップS3の接続確立処理後、コントローラは、ステップS4にて確立したか否かの判定を行う。コントローラは、当該ステップS4において、確立していないと判定した場合は処理が失敗したことを示すメッセージを送り、確立したと判定した場合はステップS5の処理に進む。

コントローラは、ステップS5の処理に進むと、フローレート制御状態を選択する。すなわち、コントローラは、クロックソース選択サブファンクションのRATEステータスコマンドを用いて、サブユニットソースプラグ上のクロックソース選択状態をチェックする。また、コントローラは、クロックソースが内部クロックである場合には、クロックソース選択サブファンクションのRATEステータスコマンドを用いて、フローレート制御の状態を選択する。これによりクロックソース選択状態はフローレート制御状態に変えられることになる。このステップS5の処理後、コントローラは、ステップS6にて選択が成功したか否かの判定を行う。コントローラは、当該ステップS6において、成功していないと判定した場合は処理が失敗したことを示すメッセージを送り、成功したと判定した場合はステップS7の処理に進む。

コントローラは、ステップS 7の処理に進むと、データの伝送処理を開始する。フローレート制御状態を選択する。なお、このときの出力レートは、ベースレート設定により設定されたベースレートとなる。このステップS 7の処理後、コントローラは、ステップS 8にてデータ伝送が開始されたか否かの判定を行う。コントローラは、当該ステップS 8において、開始していないと判定した場合は処理が失敗したことを示すメッセージを送り、開始したと判定した場合はステップS 9の処理に進む。

コントローラは、ステップS 9の処理に進むと、フローレート制御を行う。すなわち、フローレート制御状態を選択したコントローラは、フローレート制御サブファンクションのレート制御コマンドを用いて、サブユニットソースプラグ上でフローレートをコントロールする。このステップS 9の処理後、コントローラは、ステップS 10にてレートが制御されたか否かの判定を行う。コントローラは、当該ステップS 10において、制御されていないと判定した場合は処理が失敗したことを示すメッセージを送り、制御されたと判定した場合はステップS 11の処理に進む。

コントローラは、ステップS 11の処理に進むと、バスリセットが発生したか否かを判定し、発生していないと判定した場合はステップS 14の処理に進み、発生したと判定した場合はステップS 12の処理に進む。

コントローラは、ステップS 12の処理に進むと、識別のためにフローレート制御状態を再び選択する。すなわち、フローレート制御状態を選択したコントローラがリセットされたシリアルバスを検出した（バスリセットが検出された）ならば、その識別のために割

り当てられたノードIDを持つサブユニットソースプラグのフローレート制御状態を再び選択する。このステップS12の処理後、コントローラは、ステップS13にてフローレート制御の選択が成功したか否かの判定を行う。コントローラは、当該ステップS13において、成功していないと判定した場合は処理が失敗したことを示すメッセージを送り、成功したと判定した場合はステップS14の処理に進む。

コントローラは、ステップS14の処理に進むと、接続が切断されたか否かを判定し、切断されていないと判定した場合はステップS16の処理に進み、切断されたと判定した場合はステップS15に進む。

コントローラは、ステップS15に進むと、接続切断状態の検出を行う。すなわち、ユニット間やユニット内部の接続が破壊されたことにより、バスリセットが発生したのでないならば、宛先デバイスのコントローラはその切断状況を検出し、その後、処理が失敗したことを示すメッセージを送る。

また、コントローラは、ステップS16の処理に進むと、データの伝送を停止するか否かの判定を行い、停止しないと判定した場合はステップS9の処理に戻り、停止すると判定した場合はステップS17の処理に進む。

コントローラは、ステップS17の処理に進むと、データの伝送を停止する。すなわち、コントローラは、ソースデバイスにSTOPコントロールコマンド(AV/C Disc Subunit General Specification [5]において定義されている制御命令)を用いて、データの伝送を停止させる。このステップS17の処理後、コントローラは、

ステップS 18にてデータの伝送が停止したか否かの判定を行う。コントローラは、当該ステップS 18において、停止していないと判定した場合は処理が失敗したことを示すメッセージを送り、停止したと判定した場合はステップS 19の処理に進む。

コントローラは、ステップS 19の処理に進むと、データの伝送を再スタートするか否かの判定を行い、再スタートすると判定した場合はステップS 7の処理に戻り、再スタートしないと判定した場合はステップS 20の処理に進む。

コントローラは、ステップS 20の処理に進むと、クロックソースとして内部クロック状態を選択する。すなわち、フローレート制御状態を選択したコントローラは、クロックソース選択サブファンクションによってレート制御コマンドを利用することによって状態を内部クロックの状態にリセットする。なお、必要に応じて、コントローラは、ベースレート設定サブファンクションのレート制御コマンドを利用することによってベースレートをリセットする。このステップS 20の処理後、コントローラは、ステップS 21の処理に進む。

コントローラは、ステップS 21の処理に進むと、選択が成功したか否かを判定し、成功していないと判定した場合は処理が失敗したことを示すメッセージを送り、成功したと判定した場合はステップS 22の処理に進む。

コントローラは、ステップS 22の処理に進むと、必要に応じて接続を切断する。すなわち、コントローラは、ソースデバイスのシリアルバス出力プラグと、宛先デバイスのシリアルバス入力プラグの間の接続を切断する。また、コントローラは、サブユニットのソ

ースプラグとソースデバイスのシリアルバス出力プラグの間の接続を断つ。また、コントローラは、サブユニットの宛先プラグと宛先デバイスのシリアルバス入力プラグの間の接続を断つ。

その後、コントローラは、処理が完了した旨のメッセージを送る。

産業上の利用可能性

以上の説明で明らかなように、本発明は、所定の伝送路を介して接続された機器に対してレート制御の対応能力を問い合わせるためのコマンドを生成して送信し、また、そのコマンドを受けたときには当該コマンドに応じて自己のレート制御の対応能力を調査してその調査結果を返信することにより、特定の機器の間でのデジタル信号の伝送が、確実かつ良好に行えるデジタル信号処理装置及び方法、デジタル信号処理システムを提供可能となる。

請求の範囲

1. 少なくとも外部よりレート制御が可能な機器と所定の伝送路を介して接続されるデジタル信号処理装置において、

上記所定の伝送路を介して接続された機器に対して、レート制御の対応能力を問い合わせるためのコマンドを生成するコマンド生成手段と、

上記コマンドを上記所定のバスに送信する送信手段と、

上記送信したコマンドに応じた応答を受信する受信手段とを有する

ことを特徴とするデジタル信号処理装置。

2. 上記レート制御は、同期方式制御と、ベースデータ伝送レート制御、上記ベースデータ伝送レートを微調整する際の可変調整レート制御を含むことを特徴とする請求の範囲第1項記載のデジタル信号処理装置。

3. 上記受信した応答により上記機器のレート制御の対応能力を認識する認識手段を有することを特徴とする請求の範囲第1項記載のデジタル信号処理装置。

4. 上記受信した応答により上記機器のレート制御の対応能力に応じて、上記機器のレート制御を行うレート制御手段を有することを特徴とする請求の範囲第3項記載のデジタル信号処理装置。

5. 少なくとも外部よりレート制御が可能なデジタル信号処理装置において、

所定の伝送路を介して伝送されてきた上記レート制御の対応能力を問い合わせるためのコマンドを受信する受信手段と、

上記コマンドに応じて、自己のレート制御の対応能力を調査する調査手段と、

上記調査結果を返信する返信手段とを有する

ことを特徴とするデジタル信号処理装置。

6. 上記レート制御は、同期方式制御と、ベースデータ伝送レート制御、上記ベースデータ伝送レートを微調整する際の可変調整レート制御を含むことを特徴とする請求の範囲第5項記載のデジタル信号処理装置。

7. 少なくとも外部よりレート制御が可能な機器と所定の伝送路を介して接続され、上記機器に対してレート制御の対応能力を問い合わせるためのコマンドを生成するコマンド生成手段と、上記コマンドを上記所定のバスに送信する送信手段と、上記送信したコマンドに応じた応答を受信する受信手段とを有する第1のデジタル信号処理装置と、

上記所定の伝送路を介して伝送されてきた上記レート制御の対応能力を問い合わせるためのコマンドを受信する受信手段と、上記コマンドに応じて自己のレート制御の対応能力を調査する調査手段と、上記調査結果を返信する返信手段とを有する第2のデジタル信号処理装置とからなる

ことを特徴とするデジタル信号処理システム。

8. 上記レート制御は、同期方式制御と、ベースデータ伝送レート制御、上記ベースデータ伝送レートを微調整する際の可変調整レート制御を含むことを特徴とする請求の範囲第7項記載のデジタル信号処理システム。

9. 上記第1のデジタル信号処理装置は、上記受信した応答によ

り上記機器のレート制御の対応能力を認識する認識手段を有することを特徴とする請求の範囲第7項記載のデジタル信号処理システム。

10. 上記第1のデジタル信号処理装置は、上記受信した応答により上記機器のレート制御の対応能力に応じて、上記機器のレート制御を行うレート制御手段を有することを特徴とする請求の範囲第9項記載のデジタル信号処理システム。

11. 少なくとも外部よりレート制御が可能な機器と所定の伝送路を介して接続される機器のデジタル信号処理方法において、

上記所定の伝送路を介して接続された機器に対して、レート制御の対応能力を問い合わせるためのコマンドを生成し、

上記コマンドを上記所定のバスに送信し、

上記送信したコマンドに応じた応答を受信する

ことを特徴とするデジタル信号処理方法。

12. 上記レート制御は、同期方式制御と、ベースデータ伝送レート制御、上記ベースデータ伝送レートを微調整する際の可変調整レート制御を含むことを特徴とする請求の範囲第11項記載のデジタル信号処理方法。

13. 上記受信した応答により上記機器のレート制御の対応能力を認識することを特徴とする請求の範囲第11項記載のデジタル信号処理方法。

14. 上記受信した応答により上記機器のレート制御の対応能力に応じて、上記機器のレート制御を行うことを特徴とする請求の範囲第13項記載のデジタル信号処理方法。

15. 少なくとも外部よりレート制御が可能な機器のデジタル信

号処理方法において、

所定の伝送路を介して伝送されてきた上記レート制御の対応能力を問い合わせるためのコマンドを受信し、

上記コマンドに応じて、自己のレート制御の対応能力を調査し、
上記調査結果を返信する

ことを特徴とするデジタル信号処理方法。

16．上記レート制御は、同期方式制御と、ベースデータ伝送レート制御、上記ベースデータ伝送レートを微調整する際の可変調整レート制御を含むことを特徴とする請求の範囲第15項記載のデジタル信号処理方法。

17．少なくとも外部よりレート制御が可能な機器と所定の伝送路を介して接続され、上記機器に対してレート制御の対応能力を問い合わせるためのコマンドを生成し、上記コマンドを上記所定のバスに送信し、上記送信したコマンドに応じた応答を受信する第1のデジタル信号処理工程と、

上記所定の伝送路を介して伝送されてきた上記レート制御の対応能力を問い合わせるためのコマンドを受信し、上記コマンドに応じて自己のレート制御の対応能力を調査し、上記調査結果を返信する第2のデジタル信号処理工程とを有する

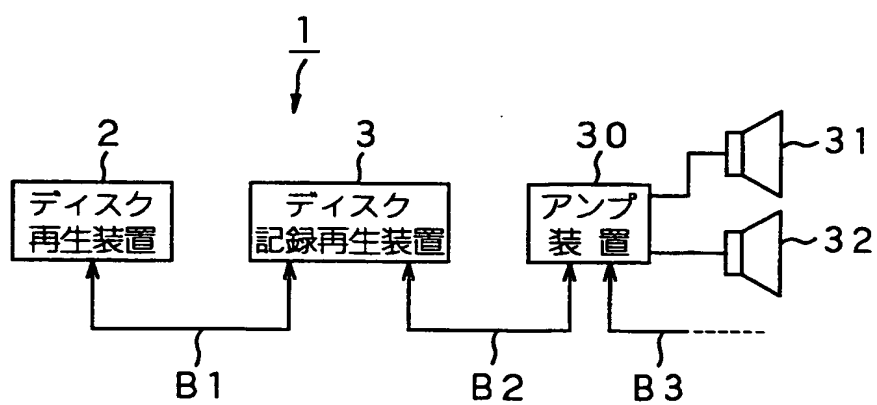
ことを特徴とするデジタル信号処理方法。

18．上記レート制御は、同期方式制御と、ベースデータ伝送レート制御、上記ベースデータ伝送レートを微調整する際の可変調整レート制御を含むことを特徴とする請求の範囲第17項記載のデジタル信号処理方法。

19．上記第1のデジタル信号処理工程は、上記受信した応答に

より上記ユニットのレート制御の対応能力を認識することを特徴とする請求の範囲第 17 項記載のデジタル信号処理方法。

20. 上記第 1 のデジタル信号処理工程は、上記受信した応答により上記ユニットのレート制御の対応能力に応じて、上記ユニットのレート制御を行うことを特徴とする請求の範囲第 19 項記載のデジタル信号処理方法。



Fi g. 1

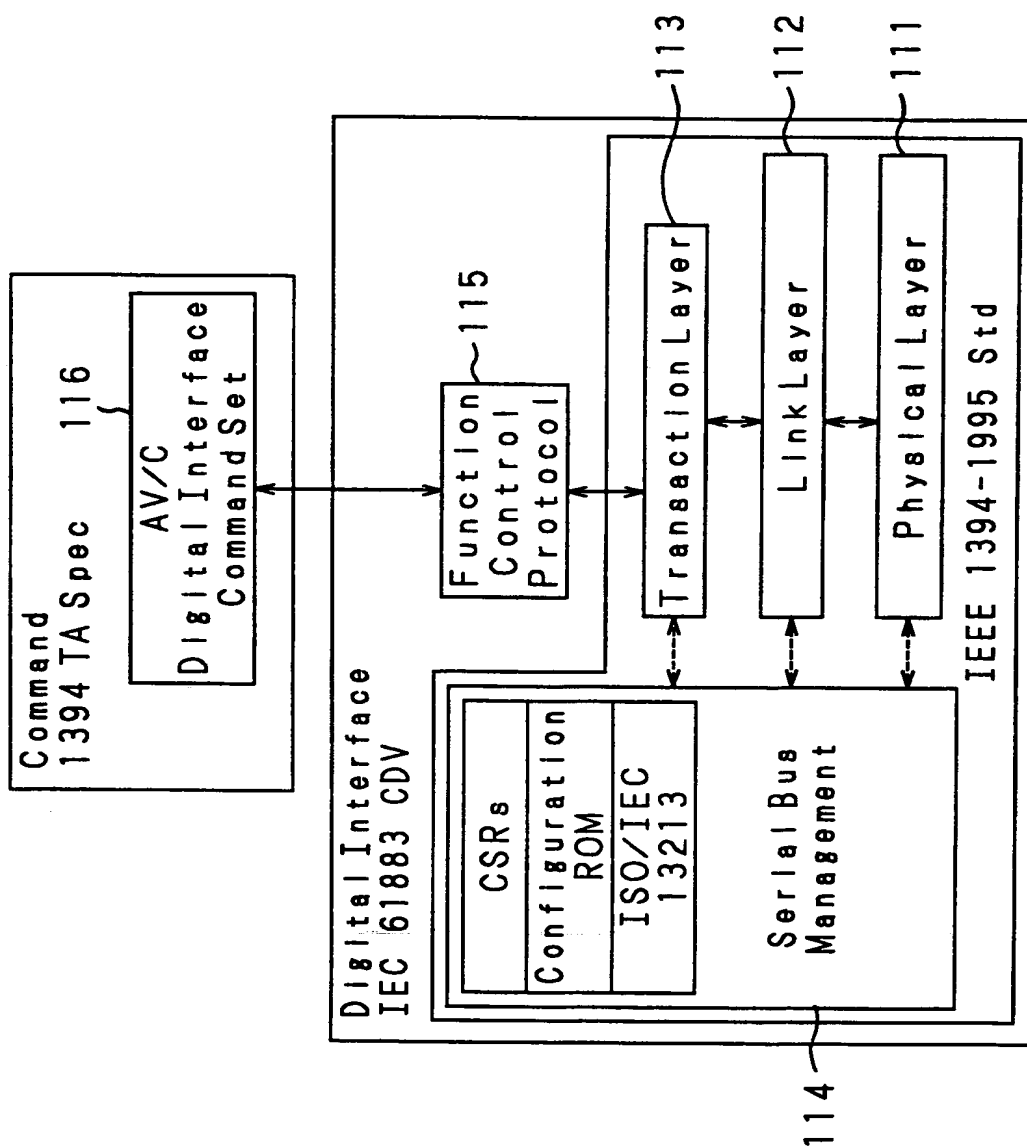


Fig. 2

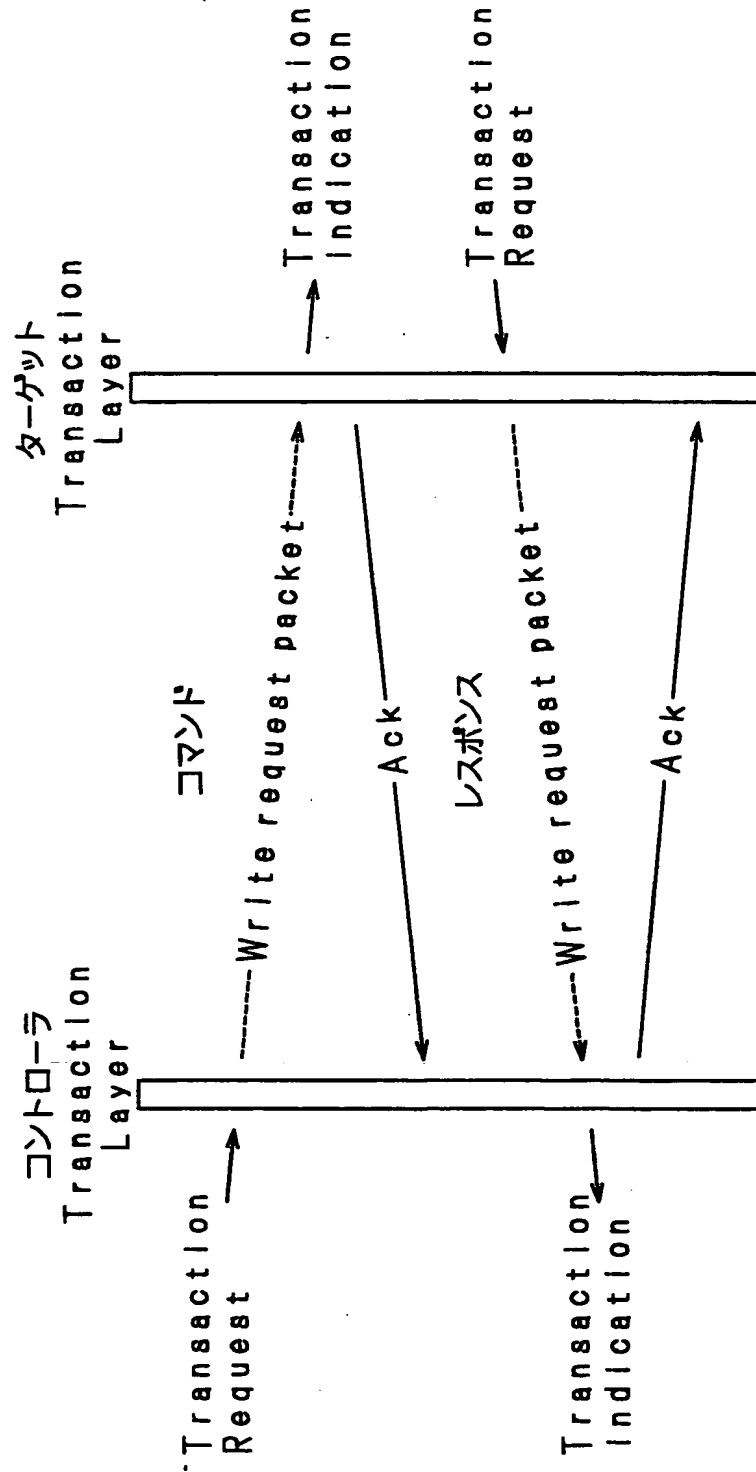


Fig. 3

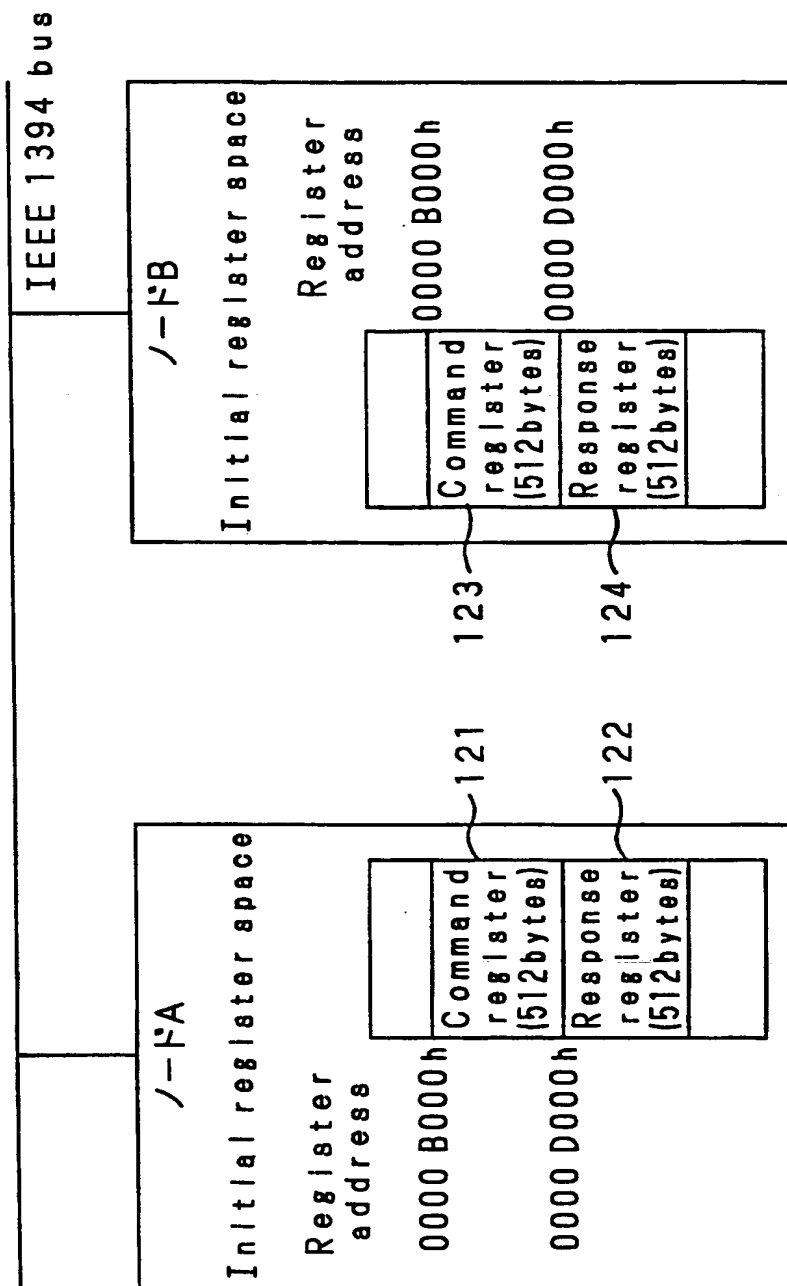


Fig.4

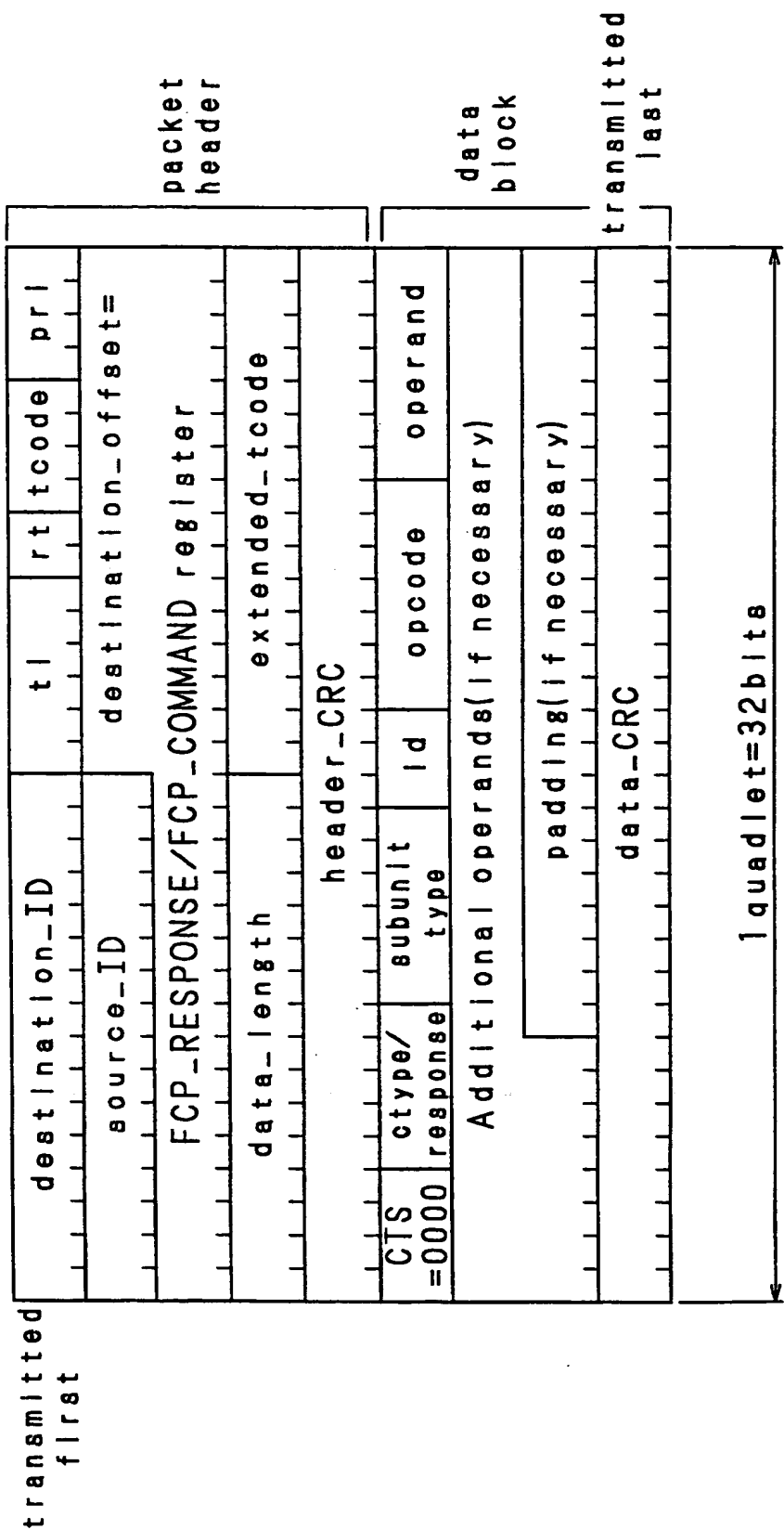


Fig. 5

Command	0000	CONTROL
	0001	STATUS
	0010	SPECIC INQUIRY
	0011	NOTIFY
	0100	GENERAL INQUIRY
	0101	
	}	(reserved for future specification)
	0111	
Response	1000	NOT IMPLEMENTED
	1001	ACCEPTED
	1010	REJECTED
	1011	IN TRANSITION
	1100	IMPLEMENTED/STABLE
	1101	CHANGED
	1110	(reserved for future specification)
	1111	INTERIM

Fi g.6

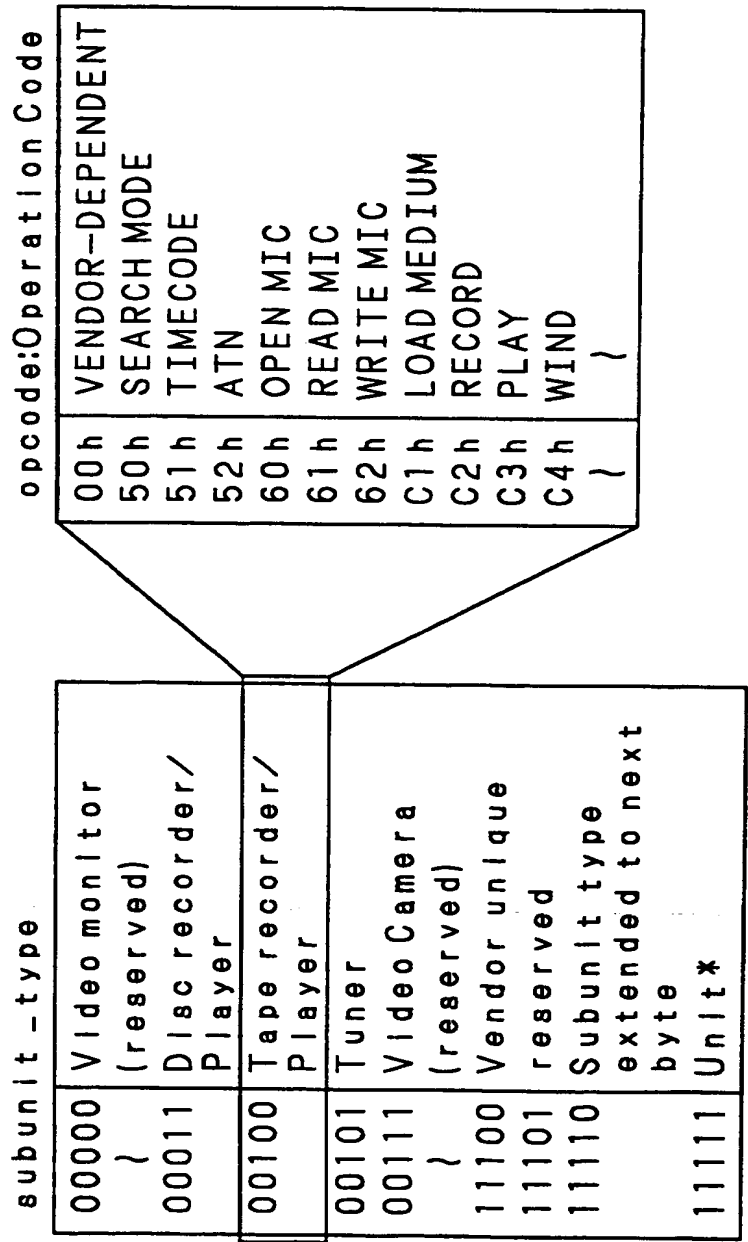


Fig. 7

AV/C	control	tape recorder /player	IDO の場合	PLAY	FORWARD
CTS= 0000	c type= 0000	s u b u n i t type= 00100	i d= 000	o p c o d e= C3h	o p e r a n d= 75h

Fi g.8

AV/C	accepted	tape recorder /player	IDO の場合	PLAY	FORWARD
CTS= 0000	r e s p o n s e =1001	s u b u n i t type= 00100	i d= 000	o p c o d e= C3h	o p e r a n d= 75h

Fi g.9

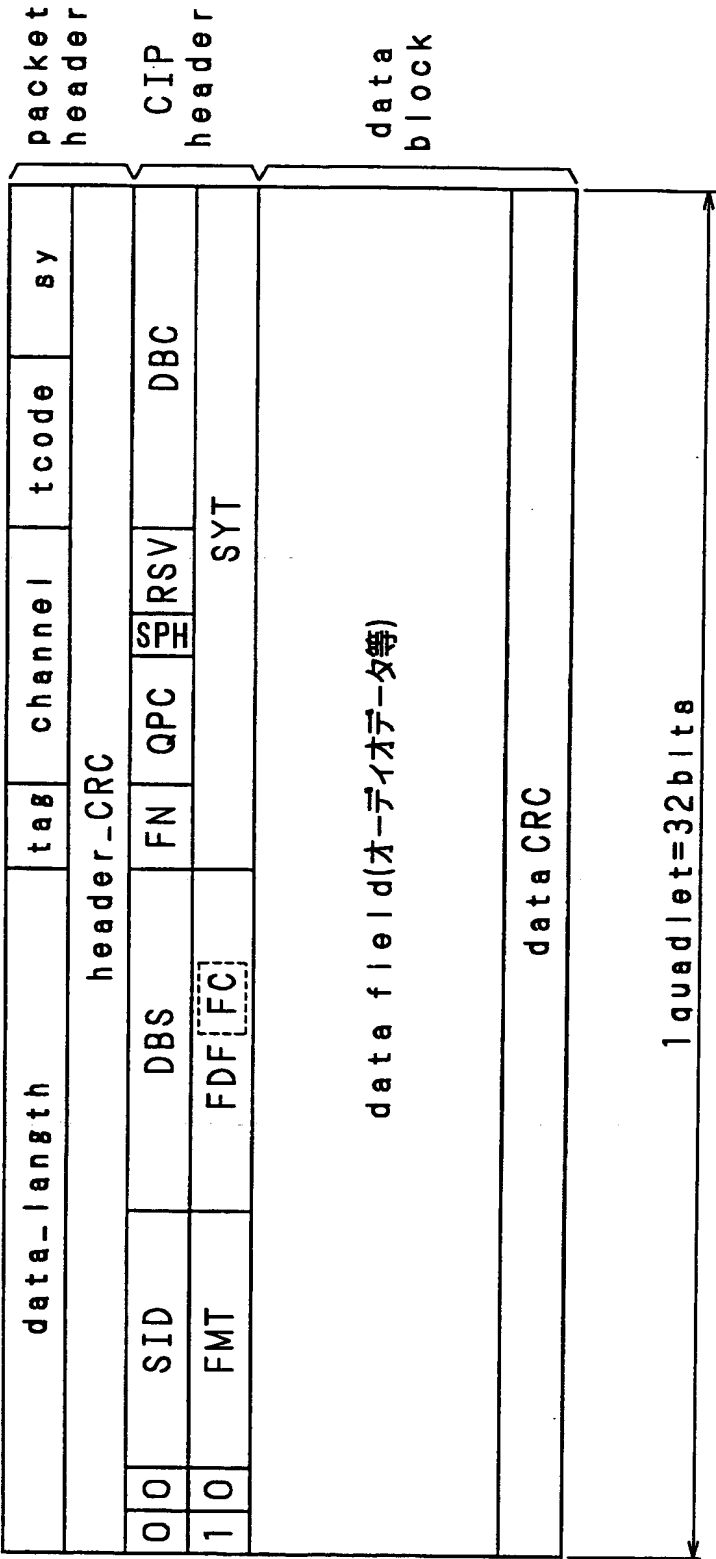


Fig. 10

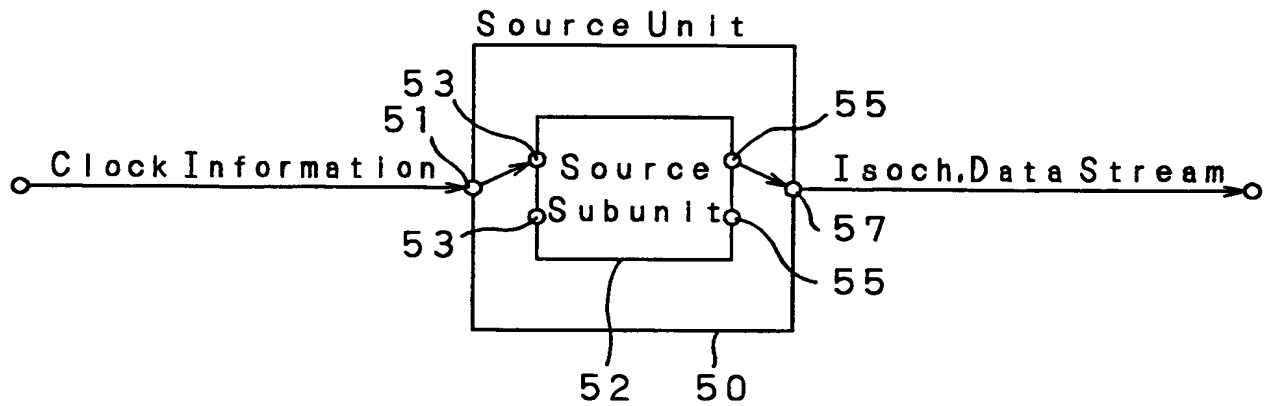


Fig. 12

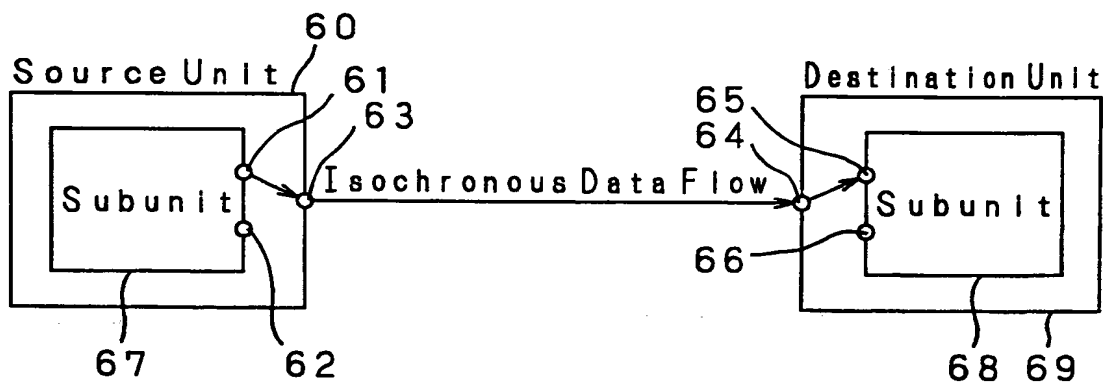


Fig. 13

	msb						lsb
opcode	RATE(B3 ₁₆)						
operand[0]	subfunction						
operand[1]	result						
operand[2]	plug_type						
operand[3]	plug_id						
operand[4] :	subfunction_depended						

Fig. 14

subfunction	value	meaning
SYNC SELECT	00 ₁₆	Select a clock source to synchronize with a stream on a subunit source plug.
BASE CONFIGURE	01 ₁₆	Configure a base rate on subunit source plug.
FLOW CONTROL	02 ₁₆	Control a flow rate on a subunit source plug.
CAPABILITY INQUIRY	80 ₁₆	Inquire about subunit plug capabilities associated with the RATE command.
-	all others	Reserved for future specification.

Fig. 15

	msb						lsb
opcode	RATE(B3 ₁₆)						
operand[0]	SYNC SELECT(00 ₁₆)						
operand[1]	result						
operand[2]	plug_type(00 ₁₆)						
operand[3]	plug_id						
operand[4]	sync_select_state						
operand[5]	destination_plug						

F i g. 16

response frame type	result	result code name	meaning
ACCEPTED	0016	SUCCESS	Successful completion.
	all others	-	Reserved for future specification.
REJECTED	8016	invalid	The requested selection is invalid in the current base rate and/or flow rate
	8116	unavailable	The requested selection is valid, but the controller has no permission to select the clock source on the subunit source plug because another controller is flow-controlling it.
	FF16	unknown	An unknown error occurred.
	all others	-	Reserved for future specification.
NOT IMPLEMENTED INTERIM	FF16	-	No result.

Fig. 17

sync_select_state	value	meaning
INTERNAL	0016	The stream on the subunit source plug is synchronized with the internal clock.
EXTERNAL	0016	The stream on the subunit source plug is synchronized with an external clock.
FLOW CONTROL	0F16	The data rate on the subunit source plug is dynamically controlled with the FLOW CONTROL subfunction. The internal clock is expected to be controlled by an external device.
-	all others	Reserved for future specification.

Fig. 18

response frame type	result	result code name	meaning
STABLE	0016	in_sync	The stream on the subunit source plug is in sync with the clock source.
	0116	out_of_sync	The stream on the subunit source plug is out of sync with the clock source.
	0816	stopped	The stream on the subunit source plug was stopped normally.
	0916	suspended	The stream on the subunit source plug was suspended because of some error.
	all others	—	Reserved for future spacification.
NOT IMPLEMENTED REJECTED IN TRANSITION	FF16	—	No result.

Fig. 19

	msb						lsb
opcode	RATE(B3 ₁₆)						
operand[0]	BASE CONFIGURE(01 ₁₆)						
operand[1]	result						
operand[2]	plug_type(00 ₁₆)						
operand[3]	plug_id						
operand[4]	base_config_state						

F i g. 20

response frame type	result	result code name	meaning
ACCEPTED	0016	SUCCESS	Successful completion.
	all others	-	Reserved for future specification.
	8016	invalid	The requested configuration is invalid in the current sync selection and/or flow rate.
REJECTED	8116	unavailable	The requested configuration is valid, but the controller has no permission to configure the base rate on the subunit source plug in the FLOW CONTROL state.
	8216	not_configured	The requested configuration is valid and the subunit source plug is available, but the base rate on the subunit source plug cannot be configured to any speed other than the current base rate, because the subunit is outputting a stream on the source plug.
	FF16	unknown	An unknown error occurred.
	all others	-	Reserved for future specification.
	FF16	-	No result.
NOT IMPLEMENTED INTERIM			

Fig. 21

base_config_state	value	meaning
X1 SPEED	00 ₁₆	The base rate is set to x1 speed.
X2 SPEED	01 ₁₆	The base rate is set to x2 speed.
X3 SPEED	02 ₁₆	The base rate is set to x3 speed.
X4 SPEED	03 ₁₆	The base rate is set to x4 speed.
X5 SPEED	04 ₁₆	The base rate is set to x5 speed.
X6 SPEED	05 ₁₆	The base rate is set to x6 speed.
X7 SPEED	06 ₁₆	The base rate is set to x7 speed.
X8 SPEED	07 ₁₆	The base rate is set to x8 speed.
X9 SPEED	08 ₁₆	The base rate is set to x9 speed.
X10 SPEED	09 ₁₆	The base rate is set to x10 speed.
X11 SPEED	0A ₁₆	The base rate is set to x11 speed.
X12 SPEED	0B ₁₆	The base rate is set to x12 speed.
X13 SPEED	0C ₁₆	The base rate is set to x13 speed.
X14 SPEED	0D ₁₆	The base rate is set to x14 speed.
X15 SPEED	0E ₁₆	The base rate is set to x15 speed.
X16 SPEED	0F ₁₆	The base rate is set to x16 speed.
—	10 ₁₆ –FF ₁₆	Reserved for future specification.

F i g. 22

response frame type	result	result code name	meaning
STABLE	0016	configurable	The base rate on the source plug may be configured because the subunit is NOT outputting a stream on the source plug. (This result does not guarantee the success of the configuration.)
	0116	not_configurable	The base rate on the source plug cannot be configured because the subunit is outputting a stream on the source plug.
	all others	-	Reserved for future specification.
NOT IMPLEMENTED REJECTED IN TRANSITION	FF16	-	No result.

Fig. 23

	msb						lsb
opcode	RATE(B3 ₁₆)						
operand[0]	FLOW CONTROL(02 ₁₆)						
operand[1]	result						
operand[2]	plug_type(00 ₁₆)						
operand[3]	plug_id						
operand[4]	flow_control_state						

F i g. 24

response frame type	result	result code name	meaning
ACCEPTED	0116	SUCCESS	Successful completion.
	all others	-	Reserved for future specification.
	8016	invalid	The requested controller is invalid in the current sync selection and/or base rate
REJECTED	8116	unavailable	The requested control is valid, but the controller has no permission to control the flow rate on the subunit source plug in the FLOW CONTROL state.
	8216	not_controlled	The requested control is valid and the subunit source plug is available, but the flow rate on the source plug cannot be controlled with any operation other than STANDARD, because the subunit is NOT outputting a stream on the source plug.
	FF16	unknown	An unknown error occurred.
	all others	-	Reserved for future specification.
	FF16	-	No result.
NOT IMPLEMENTED INTERIM			

Fig. 25

flow_control_state	value	meaning
STANDARD	0016	The source plug outputs a stream at the base rate.
FAST	0116	The source plug outputs a stream at the base rate+1%
SLOW	8116	The source plug outputs a stream at the base rate-1%
-	all others	Reserved for future specification.

Fig. 26

response frame type	result	result code name	meaning
STABLE	0016	controllable	The flow rate on the source plug may be controlled because the subunit is outputting a stream on the source plug. (This result does not guarantee the success of the control.)
	0116	not_controllable	The flow rate on the source plug cannot be controlled because the subunit is NOT outputting a stream on the source plug.
	all others	—	Reserved for future specification.
	FF16	—	No result.
NOT IMPLEMENTED REJECTED IN TRANSITION			

Fig. 27

	msb						lsb
opcode	RATE(B3 ₁₆)						
operand[0]	CAPABILITY INQUIRY(80 ₁₆)						
operand[1]	result						
operand[2]	plug_type(00 ₁₆)						
operand[3]	plug_id						
operand[4]	number_of_combinations(n)						
operand[5]	combination_of_states[0]						
operand[6]							
operand[7]							
:	:						
:	combination_of_states[n-1]						
:							
:							

F i g. 28

address offset	combination_of_states[]
00 ₁₆	sync_select_state
01 ₁₆	base_config_state
02 ₁₆	flow_control_state

F i g. 29

response frame type	result	meaning
ACCEPTED	xxxx xxx12	combination_of_states[0] is supported.
	xxxx xx1x2	combination_of_states[1] is supported.
	xxxx x1xx2	combination_of_states[2] is supported.
	xxxx 1xxx2	combination_of_states[3] is supported.
	xxx1 xxxx2	combination_of_states[4] is supported.
	xx1x xxxx2	combination_of_states[5] is supported.
	x1xx xxxx2	combination_of_states[6] is supported.
	1xxx xxxx2	combination_of_states[7] is supported.
REJECTED NOT IMPLEMENTED INTERIM	FF16	No result.

Fig. 30

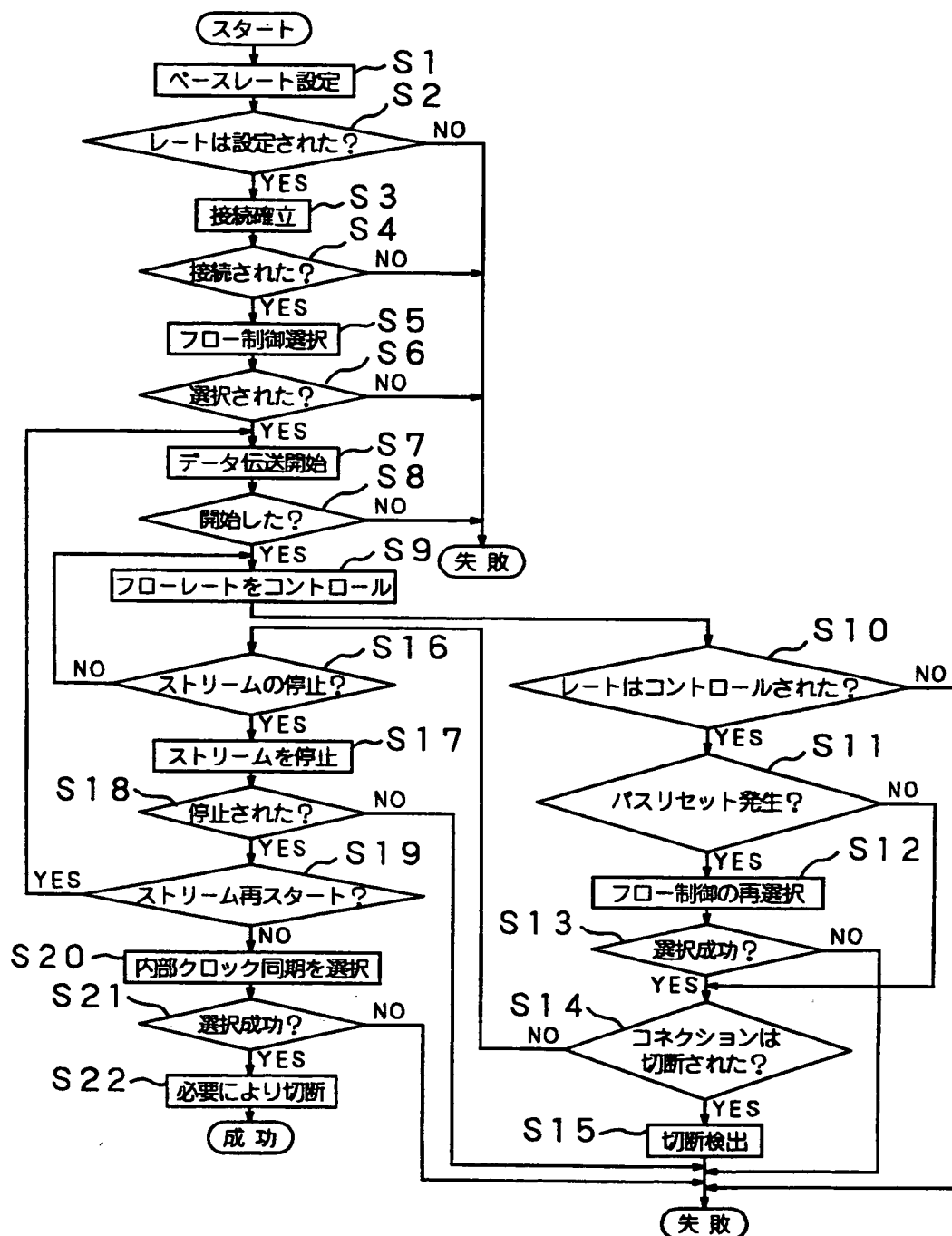


Fig. 31

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03329

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H04L29/08, G11B20/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H04L29/08, G11B20/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho (Y1, Y2) 1926-2000 Toroku Jitsuyo Shinan Koho (U) 1994-2000
Kokai Jitsuyo Shinan Koho (U) 1971-2000 Jitsuyo Shinan Toroku Koho (Y2) 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	"IEEE Std 1394-1995 IEEE Standard for a High Performance Serial Bus", August 1996, IEEE Computer Society	1-20
A	EP, 825783, A (SONY CORPORATION), 25 February, 1998 (25.02.98), Fig. 1 & JP, 10-65758, A	1-20
A	EP, 825784, A (SONY CORPORATION), 25 February, 1998 (25.02.98), Fig. 1 & JP, 10-65718, A	1-20

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
21 August, 2000 (21.08.00)

Date of mailing of the international search report
05 September, 2000 (05.09.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H04L29/08、G11B20/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H04L29/08、G11B20/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (Y1、Y2) 1926-2000
日本国公開実用新案公報 (U) 1971-2000
日本国登録実用新案公報 (U) 1994-2000
日本国実用新案登録公報 (Y2) 1996-2000

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	"IEEE Std 1394-1995 IEEE Standard for a High Performance Serial Bus", 8月, 1996、IEEE Computer Society	1~20
A	EP, 825783, A (SONY CORPORATION)、25. 2月、1998 (25. 02. 98)、図1 & JP, 10-65758, A	1~20
A	EP, 825784, A (SONY CORPORATION)、25. 2月、1998 (25. 02. 98)、図1 & JP, 10-65718, A	1~20

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

21. 08. 00

国際調査報告の発送日

05.09.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石井 研一

5 K

8124

電話番号 03-3581-1101 内線 3555

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03329

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H04L29/08, G11B20/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H04L29/08, G11B20/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho (Y1,Y2) 1926-2000 Toroku Jitsuyo Shinan Koho (U) 1994-2000
Kokai Jitsuyo Shinan Koho (U) 1971-2000 Jitsuyo Shinan Toroku Koho (Y2) 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	"IEEE Std 1394-1995 IEEE Standard for a High Performance Serial Bus", August 1996, IEEE Computer Society	1-20
A	EP, 825783, A (SONY CORPORATION), 25 February, 1998 (25.02.98), Fig. 1 & JP, 10-65758, A	1-20
A	EP, 825784, A (SONY CORPORATION), 25 February, 1998 (25.02.98), Fig. 1 & JP, 10-65718, A	1-20

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
21 August, 2000 (21.08.00)

Date of mailing of the international search report
05 September, 2000 (05.09.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2000年11月30日 (30.11.2000)

PCT

(10) 国際公開番号
WO 00/72552 A1

- (51) 国際特許分類: H04L 29/08, G11B 20/10
- (21) 国際出願番号: PCT/JP00/03329
- (22) 国際出願日: 2000年5月24日 (24.05.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願平11/145472 1999年5月25日 (25.05.1999) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 坂元一郎 (SAKAMOTO, Ichiro) [JP/JP]. 佐藤 真 (SATO,

Makoto) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 小池 晃, 外(KOIKE, Akira et al.); 〒105-0001 東京都港区虎ノ門二丁目6番4号 第11森ビル Tokyo (JP).

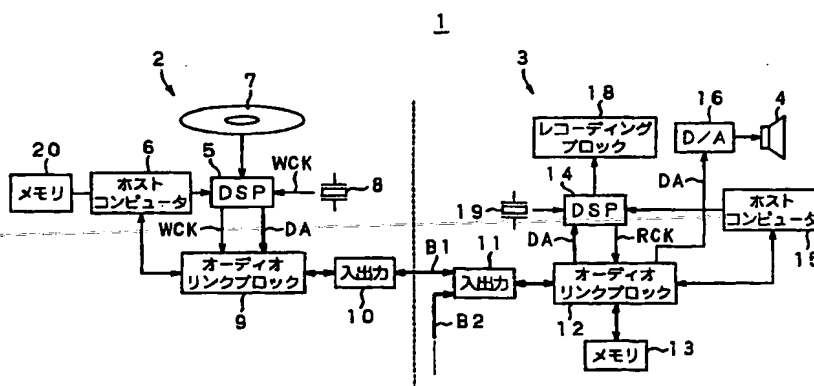
(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: DIGITAL SIGNAL PROCESSING DEVICE AND METHOD, DIGITAL SIGNAL PROCESSING SYSTEM

(54) 発明の名称: デジタル信号処理装置及び方法、デジタル信号処理システム



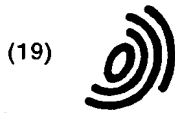
20...MEMORY
6...HOST COMPUTER
9...AUDIO LINK BLOCK
10...INPUT/OUTPUT
11...INPUT/OUTPUT

18...RECORDING BLOCK
12...AUDIO LINK BLOCK
13...MEMORY
15...HOST COMPUTER

(57) Abstract: Provided in a rate control command are a clock rate selection (SYNC SELECT) sub-function corresponding to a digital signal receiver, a base rate setting (BASE CONFIGURE) sub-function, a flow rate control (FLOW CONTROL) sub-function, and a capability inquiry (CAPABILITY INQUIRY) sub-function for the above functions; and the capability inquiry (CAPABILITY INQUIRY) sub-function is used to transmit a clock rate selection (SYNC SELECT) status, a base rate setting (BASE CONFIGURE) status and a flow rate control (FLOW CONTROL) status to a transmission device. Whereby, it is possible to ensure positively and excellently digital signal transmissions between specified apparatuses.

[続葉有]

WO 00/72552 A1



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) EP 0 825 783 A2

(12) EUROPEAN PATENT APPLICATION

(43) Date of publication:
25.02.1998 Bulletin 1998/09

(51) Int Cl.⁶: H04N 7/52

(21) Application number: 97306292.0

(22) Date of filing: 19.08.1997

(84) Designated Contracting States:
AT BE CH DE DK ES FI FR GB GR IE IT LI LU MC
NL PT SE

(30) Priority: 23.08.1996 JP 222658/96

(71) Applicant: SONY CORPORATION
Tokyo 141 (JP)

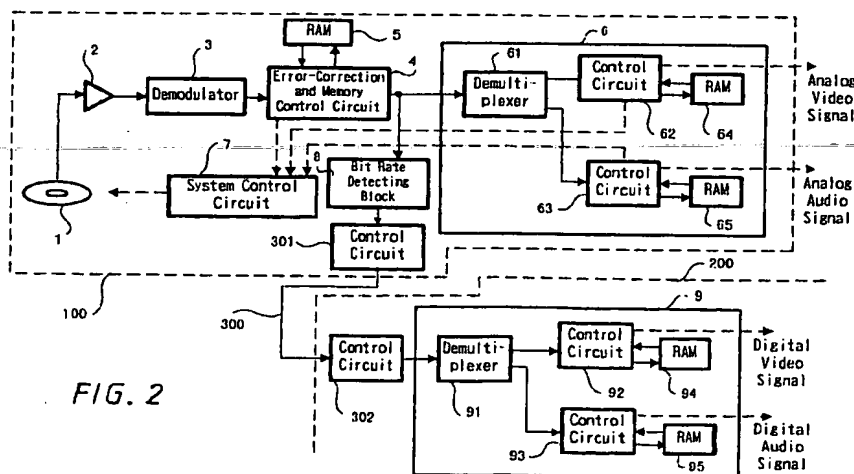
(72) Inventors:
• Horiguchi, Mari, c/o Intell. Prop. Dept.
Shinagawa-ku, Tokyo 141 (JP)
• Yanagihara, Naofumi, c/o Intell. Prop. Dept.
Shinagawa-ku, Tokyo 141 (JP)

(74) Representative: Pilch, Adam John Michael et al
D. YOUNG & CO.,
21 New Fetter Lane
London EC4A 1DA (GB)

(54) Apparatus and methods for transmitting data

(57) DVD reproducing apparatus (100) transmits variable-bit rate data, on a digital serial bus (300) at a predetermined transmission rate, by reproducing data from a record medium (1) in accordance with a control signal to produce the variable rate data. The data rate of the variable rate data is detected (8) at predetermined intervals of time, the rate of transmission of the variable rate data is established in accordance with the detected data rate, and the variable rate data is transmitted in accordance with the established transmission rate. The DVD reproducing apparatus (100) may include an MPEG decoder (6) which MPEG decodes the reproduced data and which generates the control signal in accordance with amounts of data stored within various

buffers, such control signal being utilized to control the reproduction of the data from the record medium (1). A receiver, e.g., a digital television (200), having an MPEG decoder (9) therein receives the transmitted data and MPEG decodes the data, but such MPEG decoder (9) does not generate a control signal similar to the previously generated control signal in order to prevent underflow/overflow of the memories therein. In another embodiment, the DVD reproducing apparatus (100) does not include an MPEG decoder, but the receiving device's MPEG decoder (9) generates a control signal that is transmitted back to the DVD reproducing apparatus (100) in order to prevent underflow/overflow of the memories within the receiving device's MPEG decoder.



Description

The present invention relates to apparatus and methods for transmitting data and, more particularly, to apparatus and methods for transmitting variable-bit rate data on a transmission line at a predetermined transmission rate.

As is known, various types of digital video-audio equipment, for example, DVD reproducing devices, digital VTRs, digital televisions, etc., are currently available for consumer use. Several such devices reproduce or receive digital video/audio signals, convert those signals into analog signals, and supply the analog signals to analog-type video/audio equipment. It is also generally desirable to supply from such equipment digital video/audio signals to, for example, a personal computer, a digital television receiver, or other type of digital device.

The communication system IEEE-1394 is a digital serial bus which has been proposed as a means for transmitting such digital video/audio signals between digital devices. Referring to Fig. 1 of the drawings, an exemplary block diagram of an IEEE-1394 system that includes an IEEE-1394 bus 901 and various digital devices 902-907 is shown. In the exemplary block diagram, the IEEE-1394 bus is coupled between a DVD reproducing apparatus 902, a digital VCR 903, a digital broadcasting receiver 904, a digital television receiver 905, a digital television receiver 906 and a personal computer 907. As shown, digital video/audio data is supplied from DVD reproducing apparatus 902 via the IEEE-1394 bus to digital television receiver 906, and digital video/audio data supplied from digital broadcasting 904 is supplied via bus 901 to digital television receiver 905. Given an IEEE-1394 bus with a transmission rate of, for example, 100 Mbps, and video/audio data is organized into "units" of data, then in accordance with IEEE-1394 standard, 4915 units of data can be transmitted during each 125 μ sec transmission cycle of the bus. In accordance with this standard, the number of units transmitted corresponds to the bit rate of the signal to be transmitted. For example, to realize a communication speed of approximately 10 Mbps, which corresponds to the mean bit rate of a typical video signal, then approximately 1200 units are needed. However, to realize a communication speed of approximately 2 Mbps, which is the mean bit rate of an audio signal, then approximately 704 units are needed.

One limitation of the above discussed IEEE-1394 standard is that signals are transmitted only after their transmission rate (i.e., bit rate) is determined. However, DVD reproducing devices that employ MPEG encoders/decoders reproduce digital video/audio data at a variable rate and, thus, an IEEE 1394-bus previously has been unable to transmit variable rate data reproduced from such devices.

Respective aspects of the present invention are set out in claims 1, 5, 10, 13, 17, 22, 25, 29 and 34.

A preferred embodiment provides apparatus and methods for transmitting digital video/audio data which overcome the shortcomings of the above described system.

The preferred apparatus and methods are operable to transmit variable rate digital video/audio data in accordance with the IEEE-1394 standard.

In accordance with one embodiment of the present invention, apparatus and method are provided for detecting a data rate of variable rate data at predetermined intervals of time, establishing a rate of transmission of the variable rate data in accordance with the detected data rate, and transmitting in accordance with the established transmission rate the variable rate data on a transmission line that requires the transmission rate to be predetermined.

As one aspect of the present invention, a bandwidth of the transmission line that is required to transmit the variable rate data having the detected data rate is secured.

As a feature of this aspect, given a transmission line with a plurality of transmission cycles, the data rate of the variable rate data to be transmitted during each of the cycles is detected.

As another feature of this aspect, a new bandwidth is secured for each cycle of the transmission line in accordance with the detected data rate of the variable rate data to be transmitted during the respective cycle.

In accordance with another embodiment of the present invention, apparatus and method are provided for controlling the reproducing of a signal from a record medium in accordance with a control signal to produce a variable rate signal, processing the produced variable rate signal (e.g., by an MPEG decoder), generating the control signal in accordance with a condition of processing of the produced variable rate signal, and transmitting the variable rate signal on the transmission line.

As one aspect of this embodiment, the transmitted variable rate signal is received and processed in a similar manner as that of the produced variable rate signal (e.g., by a second MPEG decoder), but such second processing does not generate a control signal (similar to the earlier generated control signal) that represents a condition of the second processing.

In accordance with a further embodiment of the present invention, apparatus and method are provided for controlling the reproducing of a signal from a record medium in accordance with a control signal to produce a variable rate signal, transmitting from a transmission side the variable rate signal on the transmission line, receiving the variable rate signal transmitted on the transmission line, processing the received transmitted variable rate signal, generating the control signal in accordance with a condition of processing of the received transmitted variable rate signal, transmitting the generated control signal on the transmission line, and receiving at the transmission side the transmitted control signal, wherein the received transmitted control signal is

utilized to control the reproducing of a signal from the record medium.

Exemplary embodiments of the invention are described hereinafter, by way of example only, with reference to the accompanying drawings, in which:

Fig. 1 is a block diagram of a system employing an IEEE-1394 digital serial bus;

Fig. 2 is a block diagram of a data transmission apparatus in accordance with an embodiment of the present invention;

Fig. 3 is a block diagram of a data transmission apparatus in accordance with another embodiment of the present invention;

Fig. 4 is a simplified block diagram of the device shown in Fig. 2;

Fig. 5 is a simplified block diagram of the device shown in Fig. 3;

Fig. 6 is a flow chart of the operation of a bit rate detecting block;

Fig. 7 is a block diagram of control circuits;

Fig. 8 schematically illustrates the data structure of an Iso packet; and

Fig. 9 is a schematic illustration of the transmission bandwidth of a digital serial bus that is transmitting data in accordance with embodiments of the present invention.

Figs. 2 and 3 illustrate different embodiments of the data transmission apparatus of the present invention, wherein Fig. 2 illustrates a DVD reproducing apparatus 100 that includes an MPEG decoder 6, and Fig. 3 illustrates a DVD reproducing apparatus 100 that does not include an MPEG decoder. As will be discussed, DVD reproducing apparatus 100 shown in both Figs. 2 and 3 are coupled via an IEEE-1394 digital serial bus 300 to an MPEG decoder 9, included in, for example, a digital television receiver.

Referring first to the embodiment of the present invention shown in Fig. 2, DVD reproducing apparatus 100 is operable to reproduce digital video/audio data from a digital video disk, decode the reproduced data in MPEG decoder 6, and supply the decoded data as respective analog video and audio signals. The analog video and audio signals may be supplied to, for example, an analog television receiver, an analog recording device, etc. DVD reproducing apparatus 100 further is operable to transmit the reproduced digital video/audio data via bus 300 to an external MPEG decoder 9 which decodes the transmitted signal and supplies digital video and audio signals as an output.

DVD reproducing apparatus 100 embodying the present invention reproduces digital video/audio data from a digital video disk in a reproducing device 1 which supplies the reproduced data via an amplifier circuit 2 to a demodulator 3 which demodulates the reproduced signal. The demodulated signal is supplied to an error correction and memory control circuit 4 which stores the

supplied signal in a random access memory 5 and corrects errors in the stored signal in a known manner. The error corrected signal is supplied to MPEG decoder 6 which includes therein a demultiplexer 61, control circuits 62 and 63, and random access memories 64 and 65. The digital signal is supplied to demultiplexer 61 which demultiplexes the signal into its respective video and audio components. The video signal is stored via control circuit 62 in memory 64, and the audio signal is stored via control circuit 63 in memory 65. Control circuits 62 and 63 decode the respective stored video and audio signals in a known manner and the decoded video and audio signals are supplied as, for example, analog video and audio output signals (after digital to analog conversion).

In addition to decoding the stored video and audio signals, control circuits 62 and 63 supply to a system control circuit 7 respective control signals that identify the storage states of the respective memories 64, 65. Similarly, memory control circuit 4 supplies to system control circuit 7 a control signal that identifies the storage state of memory 5. These control signals are sometimes identified as memory occupation data and generally identify how much data is stored in the respective memories. System control circuit 7, in response to the supplied control signals, controls the reproduction of the digital video/audio data by the reproducing device 1 so as to, *inter alia*, prevent the underflow and/or overflow of the memories.

In accordance with the present embodiment, DVD reproducing apparatus 100 includes a bit rate detecting block 8 which detects the bit rate of the reproduced data (to be further discussed). DVD reproducing apparatus 100 further includes a control circuit 301 which transmits the error corrected digital signal output by circuit 4 on bus 300 in accordance with the IEEE-1394 standard. In addition to supplying the error corrected digital video/audio signal to MPEG decoder 6, error correction and memory control circuit 4 supplies the error corrected digital video/audio signal to bit rate detecting block 8. Bit rate detecting block 8 detects the bit rate of the output signal in accordance with, for example, the flow chart shown in Fig. 6. Referring to Fig. 6, bit rate detecting block 8 detects the occurrence of a packet header at inquiry 1, and if a packet header is detected, the number of packets that have been previously detected (N) is incremented by 1 (i.e., $N = N + 1$) at instruction 2. If, however, a packet header is not detected at inquiry 1, then bit rate detecting block 8 performs no function, that is, waits until a packet header is detected. After incrementing the number of detected packets at instruction 2, it is determined, at inquiry 3, whether a countdown timer has reached a null (or 0) value (to be discussed) and instructions 4 through 7 are performed only if the countdown timer has reached its null value. The countdown timer initially is set for a period of 1 second and, thus, the number of detected packets that are received by bit rate detecting block 8 corresponds to the number of packets

of data that are received during a period of one second. Accordingly, the bit rate is determined at instruction 4 by multiplying the number of bits in each packet of data (e. g., 2048 bytes per packet x 8 bits per byte) by the number of detected packet headers (N). After the bit rate is detected, the countdown timer is reset to 1 second at instruction 5 and the detected number of packets N is reset to 0 at instruction 6. Finally, the calculated bit rate of the data (transmitted during a period of 1 second) is transmitted to control circuit 301 at instruction 7. Thus, bit rate detecting block 8 transmits the bit rate of the variable rate data every second. Of course, the bit rate can be detected and transmitted for a period other than every 1 second. Control circuit 301 calculates from the transmitted bit rate the number of units (previously discussed) that are required in accordance with the IEEE-1394 standard, and then the transmission band necessary to transmit the video/audio signal is "secured" also in accordance with the IEEE-1394 standard.

Referring to Fig. 9, during each 125 μ sec transmission cycle of the IEEE-1394 bus 300, a secured transmission band, represented by the hatched portions, is requested by control circuit 301 and such transmission band corresponds to the required number of units of data for the particular detected bit rate of that data. The hatched portion of each cycle shown in Fig. 9 therefore is "secured" for the data that is to be transmitted by DVD reproducing apparatus 100 of the present invention. The unsecured transmission band (i.e., the non-hatched portions) of each cycle is therefore usable by other devices, for example, digital VCR 903 shown in Fig. 1.

Control circuit 301 secures the necessary transmission band for each cycle and subsequently transmits the digital signal supplied from error correction and memory control circuit 4 on the secured transmission band of bus 300. The digital signal is transmitted to a control circuit 302 which operates to control the bus communication in accordance with the IEEE-1394 standard, which control circuit 302 being included in, for example, a digital television receiver 200 that includes an MPEG decoder 9. Therefore, and in accordance with the present invention, variable bit rate data reproduced by DVD reproducing apparatus 100 is transmitted on a digital serial bus in accordance with the IEEE-1394 standard.

The transmitted video/audio data is supplied from control circuit 302 to MPEG decoder 9 which has a structure similar to that of MPEG decoder 6, but control circuits 92, 93 do not produce control signals that identify the storage state of memories 94, 95. The digital video/audio signal is supplied to a demultiplexer 91 which demultiplexes the signal into its respective video and audio components which are then stored via control circuits 92 and 93 in random access memories 94 and 95, respectively. The respective digital and audio signals are decoded by control circuits 92 and 93 and the decoded video and audio signals are supplied as, for example, respective digital video and audio signals.

As previously mentioned, control circuits 92 and 93

do not generate control signals that identify the storage states of memories 94 and 95. DVD reproducing apparatus 100 operates to MPEG decode the reproduced signal in MPEG decoder 6 and simultaneously transmit the reproduced signal on bus 300. Since MPEG decoder 9 is equivalent to MPEG decoder 6, and since control circuits 62 and 63 generate respective control signals representing the storage states of memories 64 and 65, which in turn controls the reproduction of the data from the digital video disk, it is unnecessary for control circuits 92 and 93 to generate controls signals that identify the respective storage states of memories 94 and 95. In other words, the storage states of memories 64 and 65 should be substantially equivalent to the storage states of memories 94 and 95, respectively and, thus, proper control of the reproduction of the digital video/audio data from the digital video disk is provided solely by MPEG decoder 6.

As previously mentioned, MPEG decoder 6 may supply as outputs respective analog video and audio signals and such signals may be supplied on an analog signal line 400 to an analog television receiver 500, such as shown in Fig. 4.

In accordance with the present embodiment, as discussed above, the storage states of memories 64 and 65 are detected and the reproduction operation of DVD reproducing apparatus 100 is controlled in accordance with such storage states thus preventing underflow and overflow of memories 64 and 65. By the use of MPEG decoder 6, a separate MPEG decoder 9, that is coupled to DVD reproducing apparatus 100 of the present invention via digital serial bus 300, does not need to determine whether an underflow or overflow condition of memories 94 and 95 exists. Furthermore, by detecting the bit rate of the supplied digital video/audio signal periodically in bit rate detecting block 8, variable rate data may be transmitted on a digital serial bus in accordance with the IEEE-1394 standard, even when such standard requires that the transmitted bit rate be known.

Referring next to Fig. 3 of the drawings, a block diagram of apparatus for transmitting digital video and audio data in accordance with another embodiment of the present invention is shown. Fig. 5 also illustrates the present embodiment, wherein DVD reproducing apparatus 100 is coupled to a digital television 200 including therein a display unit and MPEG decoder 9. Referring back to Fig. 3, DVD reproducing apparatus 100 includes a DVD reproducing device 1, an amplifier 2, a demodulator 3, an error correction and memory control circuit 4, a random access memory 5, a bit rate detecting block 8, a system control circuit 7 and a control circuit 301 and thus is similar to DVD reproducing apparatus 100 shown in Fig. 2, except the DVD reproducing device of the present embodiment does not include an internal MPEG decoder 6. In the present embodiment, circuits 1-5 operate in a manner identical to that of circuits 1-5 shown in Fig. 2, wherein digital video/audio data is reproduced from a digital video disk, demodulated, stored in mem-

ory 5, error corrected in circuit 4 and supplied as an error corrected digital video/audio signal to control circuit 301 via bit rate detecting block 8. Bit rate detecting block 8 operates in the same manner as that described above with respect to the embodiment shown in Fig. 2 (in accordance with the flow chart shown in Fig. 6) and, therefore, further description thereof is omitted herein. Also, like the embodiment shown in Fig. 2, control circuit 301 shown in Fig. 3 secures the necessary bandwidth in accordance with the bit rate detected by bit rate detecting block 8 and transmits on bus 300 the error corrected digital video/audio signal in accordance with the IEEE-1394 standard, all as previously discussed.

The transmitted digital video/audio signal is supplied to a control circuit 302 included in digital television receiver 200 which supplies the received signal to an MPEG decoder 9 which includes therein a demultiplexer 91, control circuits 92 and 93, and memories 94 and 95. Demultiplexer 91 demultiplexes the transmitted signal into its respective video and audio components, and stores the video data via control circuit 92 in memory 94 and stores the audio data via control circuit 93 in memory 95. Control circuits 92 and 93 MPEG decode the respective video and audio data to produce respective digital video and audio signals.

In accordance with the present embodiment, control circuits 92 and 93 detect the storage states (conditions) of memories 94 and 95, respectively (like control circuits 62 and 63 in Fig. 2) and generate therefrom respective control signals that are supplied to control circuit 302. Also in accordance with the present invention, the control signals supplied from control circuits 92 and 93 to control circuit 302 are transmitted from control circuit 302 on digital serial bus 300 to control circuit 301 in DVD reproducing apparatus 100.

In accordance with the IEEE-1394 standard, control circuits 301 and 302 each have a block structure as shown in Fig. 7, wherein each control circuit includes an Iso packet transmitting and receiving block 310, a bus control block 311, an information signal processing block 312 and a plug control register 313 located within bus control block 311. Iso packet transmitting and receiving block 310 performs isochronous communication for transmitting the video signal data and audio signal data, and bus control block 311 performs asynchronous communication for transmitting control signals. Data is transmitted between the Iso packet transmitting and receiving block 310 and information signal processing block 312 within each control circuit 301 and 302. In accordance with the IEEE-1394 standard, the Iso packet that is transmitted between control circuit 301 and 302 has the data structure as shown in Fig. 8.

Referring to Fig. 8, each Iso packet is formed from "quadlets" of data, each quadlet consisting of four bytes of information. The Iso packet includes a header, which includes therein the data length that is provided in the so-called first quadlet. The Iso packet header further includes in the second quadlet cyclic redundancy check

(CRC) codes for the information of the first quadlet. As shown, the packet header is comprised of the first and second quadlets, such packet header being transmitted at the beginning of packet transmission. A data field follows the packet header, and the cyclic redundancy check codes for the data field follows that data field.

Bus control block 311 of each control circuit 301 and 302 receives from the respective information processing block 312 the control signals that identify the storage states of memories 94 and 95. Such information is transmitted from one control circuit to another control circuit utilizing asynchronous communication. Typically, control circuit 302 transmits such control signals asynchronously to control circuit 301 which subsequently supplies the transmitted control signals to system control circuit 7. As previously mentioned, bus control block 311 of each control circuit 301, 302 includes a respective plug control register 313. Plug control register 313 sets values stored therein in accordance with the transmitted information, for example, the transmitted signals, and the various information generated by the particular equipment utilized, and Iso packet transmitting and receiving block 310 of the respective control circuit 301, 302 is controlled in accordance with the values stored in plug control register 313.

Finally, the control signals transmitted to system control circuit 7 from control 301 operate to control the reproducing operation of DVD reproducing circuit 1 in order to prevent underflow and overflow of memories 94 and 95.

Like the first embodiment previously discussed with reference to Fig. 2, the embodiment of Fig. 3 is operable to transmit variable rate data across a transmission line, for example, IEEE-1394 bus 300, which has a predetermined rate of transmission. Referring again to Fig. 9, the secured transmission band changes every cycle (or perhaps every other or every third cycle, etc.), such secured band being determined from the detected bit rate of the digital signal.

While the present invention has been particularly shown and described in conjunction with preferred embodiments thereof, it will be readily appreciated by those of ordinary skill in the art that various changes may be made without departing from the

scope of the invention. For example, the present invention, although described with reference to the IEEE-1394 standard and the use of MPEG decoders, is not limited to this standard and/or the use of MPEG decoders, but may be applied to other standards and/or other types of coders/decoders that produce/decode variable-rate data.

Therefore, it is intended that the appended claims be interpreted as including the embodiments described herein, the alternatives mentioned above, and all equivalents thereto.

Claims

1. Apparatus for transmitting variable rate data on a transmission line requiring a predetermined rate, comprising:

detection means for detecting a data rate of variable rate data at predetermined intervals of time;
means for establishing a transmission rate of said variable rate data in accordance with the detected data rate; and
means for transmitting said variable rate data on said transmission line in accordance with the established transmission rate.

2. The apparatus of claim 1, wherein said means for establishing includes means for securing a bandwidth of said transmission line required to transmit said variable rate data having said detected data rate.

3. The apparatus of claim 2, wherein said transmission line has a plurality of cycles, and said detection means is operable to detect the data rate of said variable rate data to be transmitted during each of said cycles.

4. The apparatus of claim 3, wherein said means for securing a bandwidth is operable to secure a new bandwidth for each cycle of said transmission line in accordance with the detected data rate of said variable rate data to be transmitted during the respective cycle.

5. Apparatus for transmitting variable rate data on a transmission line having a predetermined rate, comprising:

means for controlling the reproducing of a signal from a record medium in accordance with a control signal to produce a variable rate signal; processing means for processing the produced variable rate signal, said processing means including means for generating said control signal in accordance with a condition of processing of the produced variable rate signal by said processing means; and
transmitting means for transmitting the variable rate signal on said transmission line.

6. The apparatus of claim 5, wherein said processing means is operable to MPEG decode the produced variable rate signal.

7. The apparatus of claim 5, wherein said processing means includes buffering means for buffering the produced variable rate signal, and said means for

generating said control signal generates said control signal representing a state of said buffering means.

8. The apparatus of claim 5, further comprising reception means for receiving the variable rate signal transmitted on said transmission line, said reception means including reception processing means for processing the received transmitted variable rate signal in a similar manner as said processing means processes the produced variable rate signal, said reception processing means not generating a control signal that controls the reproduction of the signal from the record medium.

9. The apparatus of claim 8, wherein said processing means and said reception processing means are both MPEG decoders.

10. Apparatus for transmitting variable rate data on a transmission line having a predetermined rate, comprising:

means for controlling the reproducing of a signal from a record medium in accordance with a control signal to produce a variable rate signal; transmitting means for transmitting the variable rate signal on said transmission line; and
reception means for receiving the variable rate signal transmitted on said transmission line, said reception means including reception processing means for processing the received transmitted variable rate signal, said reception processing means including means for generating said control signal in accordance with a condition of processing of the received transmitted variable rate signal by said reception processing means, said reception means further including reception transmitting means for transmitting the generated control signal to said transmitting means;
wherein said transmitting means is operable to receive the transmitted control signal and to supply the received transmitted control signal to said means for controlling.

11. The apparatus of claim 10, wherein said reception processing means includes buffering means for buffering the received transmitted variable rate signal, and said means for generating said control signal generates said control signal representing a state of said buffering means.

12. The apparatus of claim 11, wherein said reception processing means is an MPEG decoder.

13. Apparatus for transmitting variable rate data on a transmission line requiring a predetermined rate,

comprising:

- a bit rate detector for detecting a data rate of variable rate data at predetermined intervals of time; and
 - a bus controller for establishing a transmission rate of said variable rate data in accordance with the detected data rate, and for transmitting said variable rate data on said transmission line in accordance with the established transmission rate.
14. The apparatus of claim 13, wherein said bus controller is operable to secure a bandwidth of said transmission line required to transmit said variable rate data having said detected data rate.
 15. The apparatus of claim 14, wherein said transmission line has a plurality of cycles, and said bit rate detector is operable to detect the data rate of said variable rate data to be transmitted during each of said cycles.
 16. The apparatus of claim 15, wherein said bus controller is further operable to secure a new bandwidth for each cycle of said transmission line in accordance with the detected data rate of said variable rate data to be transmitted during the respective cycle.
 17. Apparatus for transmitting variable rate data on a transmission line having a predetermined rate, comprising:
 - a reproducing device controller for controlling the reproducing of a signal from a record medium in accordance with a control signal to produce a variable rate signal;
 - a processor for processing the produced variable rate signal, said processor being operable to generate said control signal in accordance with a condition of processing of the produced variable rate signal by said processor; and
 - a transmission line controller for transmitting the variable rate signal on said transmission line.
 18. The apparatus of claim 17, wherein said processor is an MPEG decoder.
 19. The apparatus of claim 17, wherein said processor includes a data buffer for buffering the produced variable rate signal, and said control signal generated by said processor represents a state of said data buffer.
 20. The apparatus of claim 17, further comprising a receiver for receiving the variable rate signal transmitted on said transmission line, said receiver includ-

ing a reception processor for processing the received transmitted variable rate signal in a similar manner as said processor processes the produced variable rate signal, said reception processor not generating a control signal that controls the reproduction of the signal from the record medium.

21. The apparatus of claim 20, wherein said processor and said reception processor are both MPEG decoders.

22. Apparatus for transmitting variable rate data on a transmission line having a predetermined rate, comprising:

- a reproducing device controller for controlling the reproducing of a signal from a record medium in accordance with a control signal to produce a variable rate signal;
- a transmitter for transmitting the variable rate signal on said transmission line; and
- a receiver for receiving the variable rate signal transmitted on said transmission line, said receiver including a reception processor for processing the received transmitted variable rate signal, said reception processor generating said control signal in accordance with a condition of processing of the received transmitted variable rate signal by said reception processor, said receiver further being operable to transmit the generated control signal to said transmitter;

wherein said transmitter is operable to receive the transmitted control signal and to supply the received transmitted control signal to said reproducing device controller.

23. The apparatus of claim 22, wherein said reception processor includes a data buffer for buffering the received transmitted variable rate signal, and said control signal generated by said reception processor represents a state of said data buffer.

24. The apparatus of claim 23, wherein said reception processor is an MPEG decoder.

25. Method of transmitting variable rate data on a transmission line requiring a predetermined rate, comprising the steps of:

- detecting a data rate of variable rate data at predetermined intervals of time;
- establishing a transmission rate of said variable rate data in accordance with the detected data rate; and
- transmitting said variable rate data on said transmission line in accordance with the established transmission rate.

26. The method of claim 25, wherein said step of establishing is carried out by securing a bandwidth of said transmission line required to transmit said variable rate data having said detected data rate.

5

27. The method of claim 26, wherein said transmission line has a plurality of cycles, and said detecting step is carried out by detecting the data rate of said variable rate data to be transmitted during each of said cycles.

10

28. The method of claim 27, wherein said step of securing a bandwidth is carried out by securing a new bandwidth for each cycle of said transmission line in accordance with the detected data rate of said variable rate data to be transmitted during the respective cycle.

15

29. Method of transmitting variable rate data on a transmission line having a predetermined rate, comprising the steps of:

20

controlling the reproducing of a signal from a record medium in accordance with a control signal to produce a variable rate signal;
processing the produced variable rate signal;
generating said control signal in accordance with a condition of processing of the produced variable rate signal; and
transmitting the variable rate signal on said transmission line.

25

30

30. The method of claim 29, wherein said processing step is carried out by MPEG decoding the produced variable rate signal.

35

31. The method of claim 29, wherein said processing step includes the step of buffering the produced variable rate signal in a buffer, and said generated control signal represents a state of said buffer.

40

32. The method of claim 29, further comprising the steps of receiving the variable rate signal transmitted on said transmission line, and processing the received transmitted variable rate signal in a similar manner as said variable rate signal is processed in said first processing step, wherein a control signal representing a condition of processing of the received transmitted variable rate signal similar to the previously generated control signal is not generated.

45

50

33. The method of claim 32, wherein said first and second processing steps are carried by respective MPEG decoders.

55

34. Method of transmitting variable rate data on a transmission line having a predetermined rate, comprising

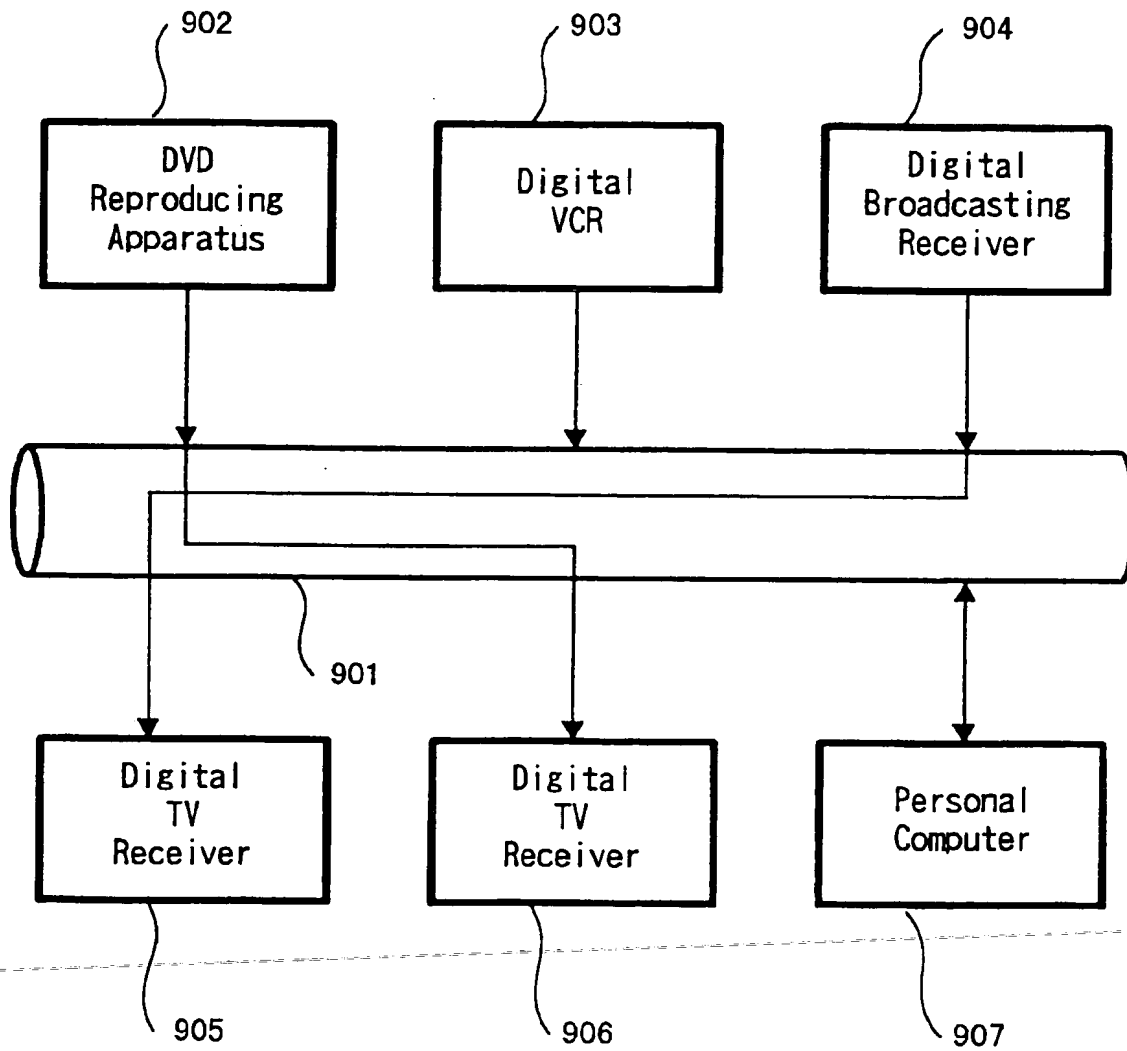
ing the steps of:

controlling the reproducing of a signal from a record medium in accordance with a control signal to produce a variable rate signal;
transmitting from a transmission side the variable rate signal on said transmission line;
receiving the variable rate signal transmitted on said transmission line;
processing the received transmitted variable rate signal;
generating said control signal in accordance with a condition of processing of the received transmitted variable rate signal;
transmitting the generated control signal on said transmission line; and
receiving at said transmission side the transmitted control signal;
wherein the received transmitted control signal is utilized to control the reproducing by said controlling step.

35. The method of claim 34, wherein said processing step includes the step of buffering the received transmitted variable rate signal in a buffer, and the generated control signal represents a state of said buffer.

36. The method of claim 35, wherein said processing step is carried out by an MPEG decoder.

FIG. 1



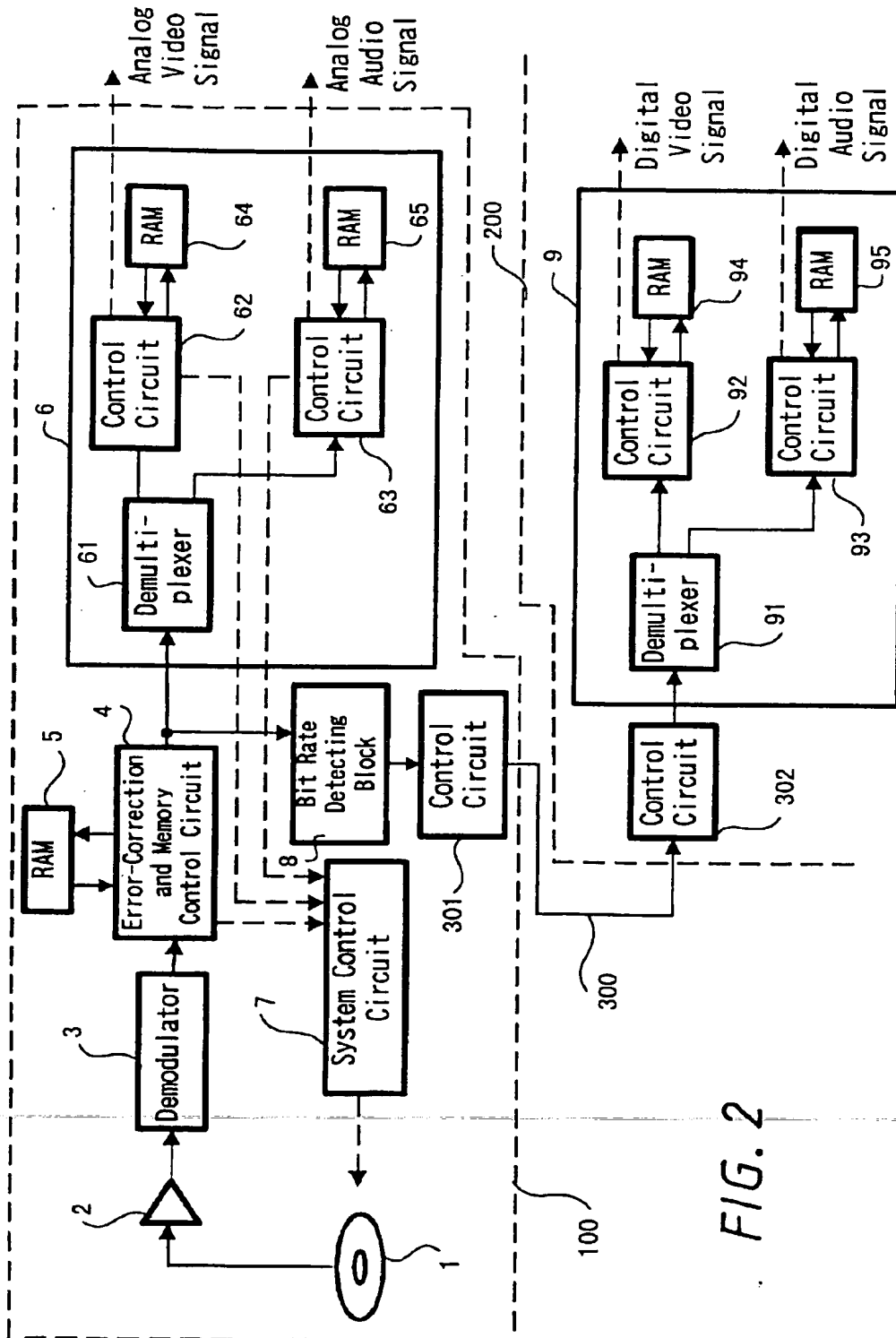


FIG. 2

FIG. 3

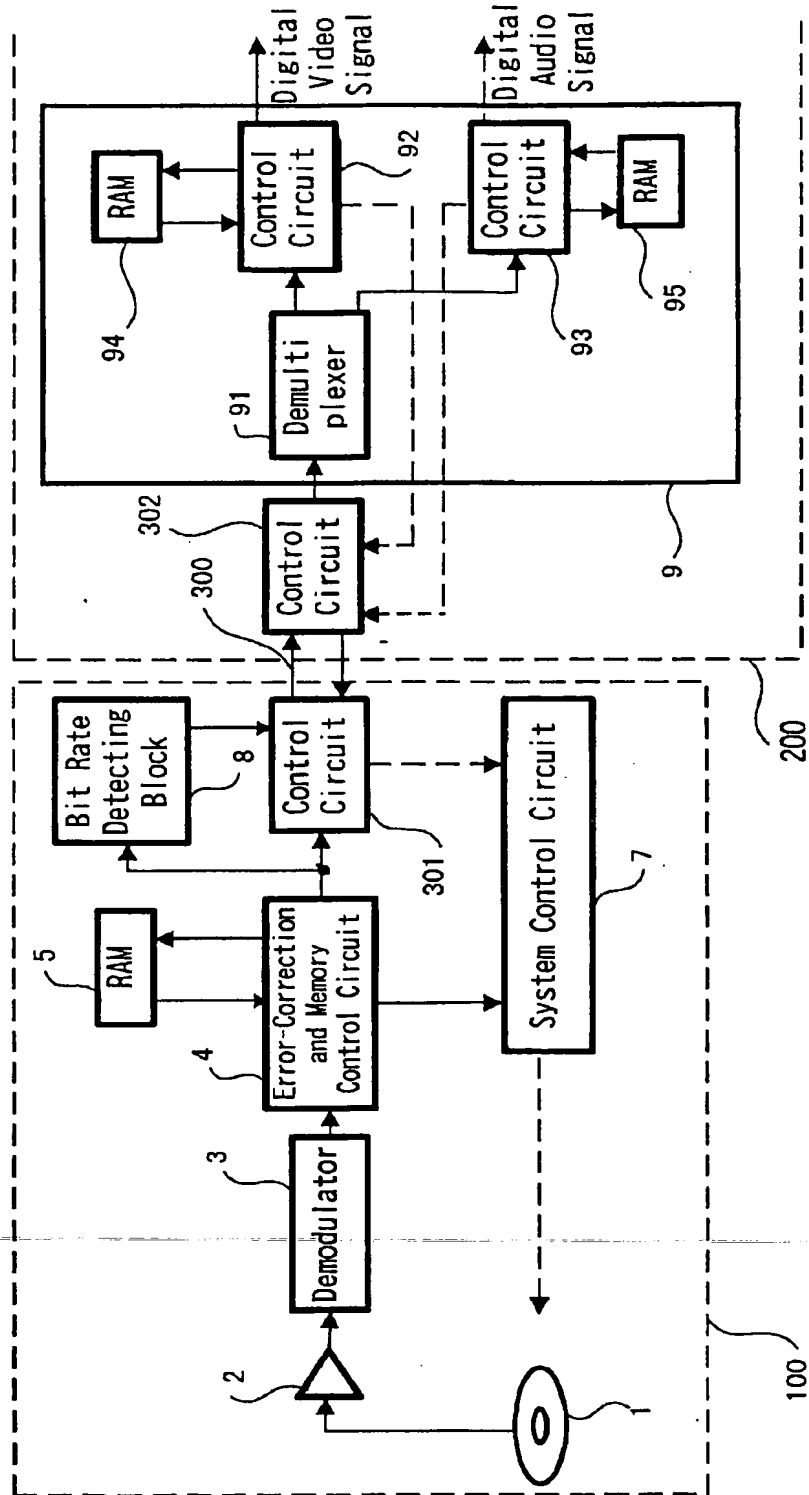


FIG. 4

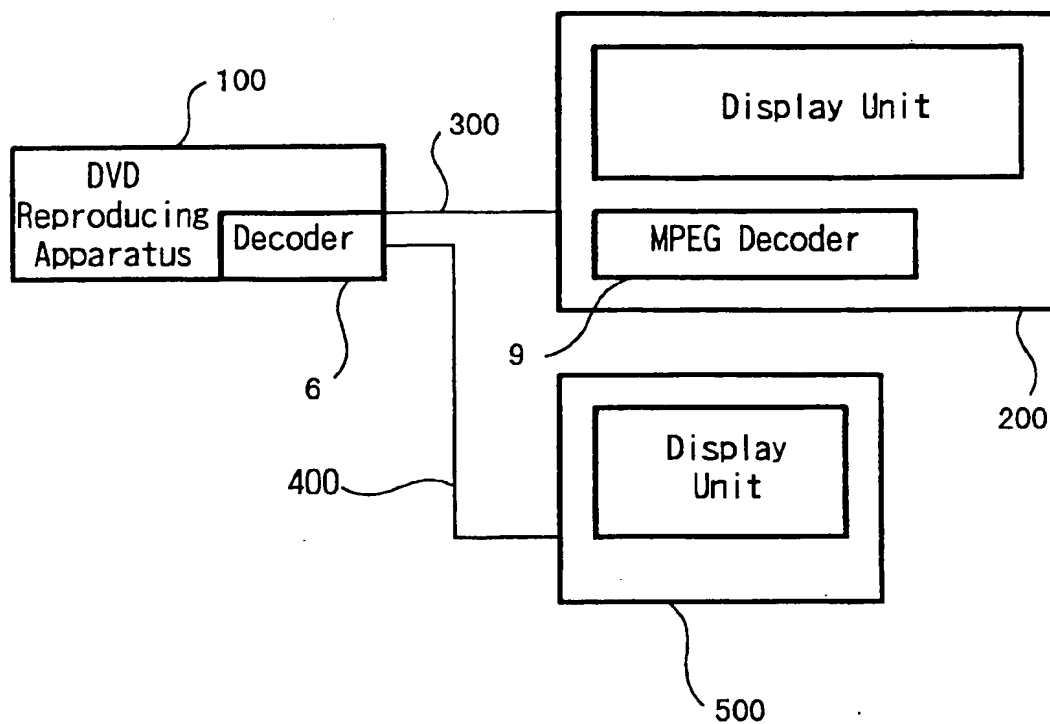


FIG. 5

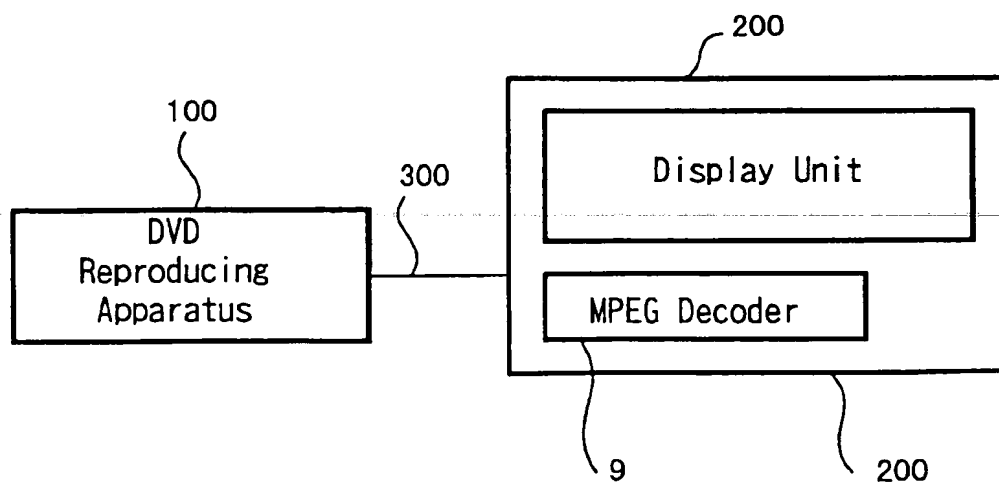


FIG. 6

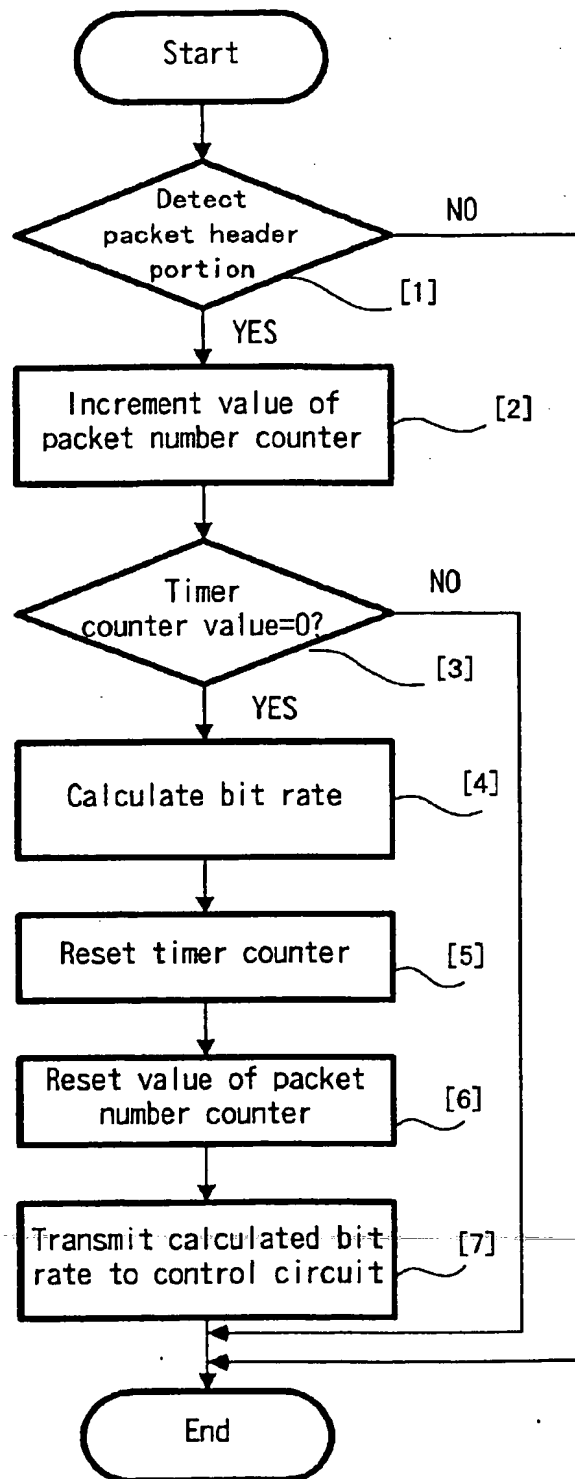


FIG. 7

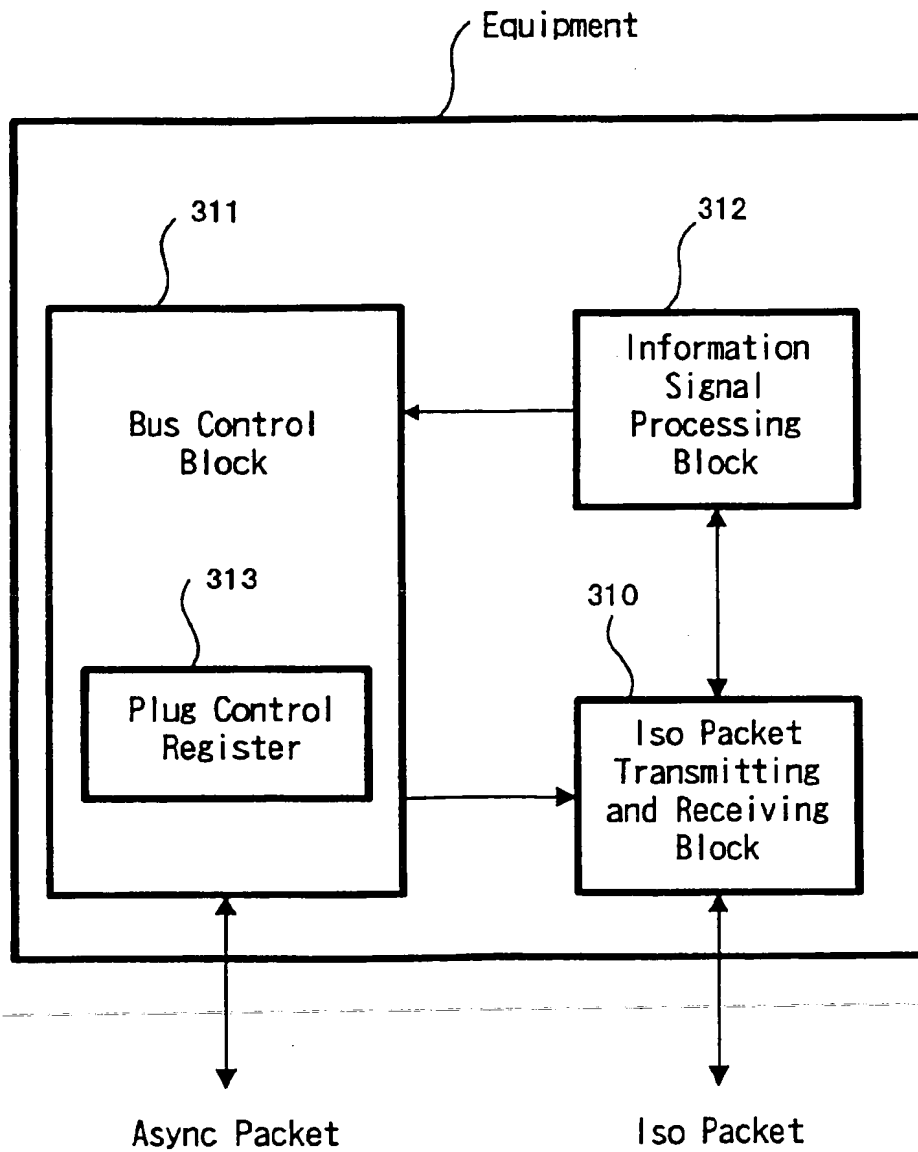


FIG. 8

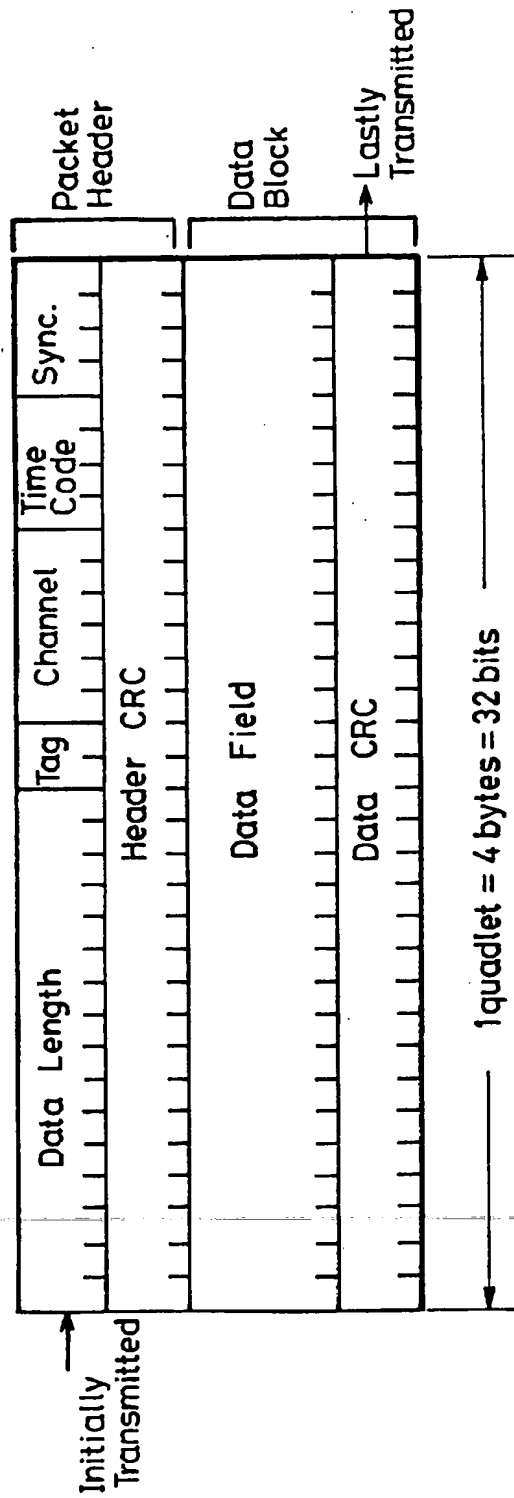
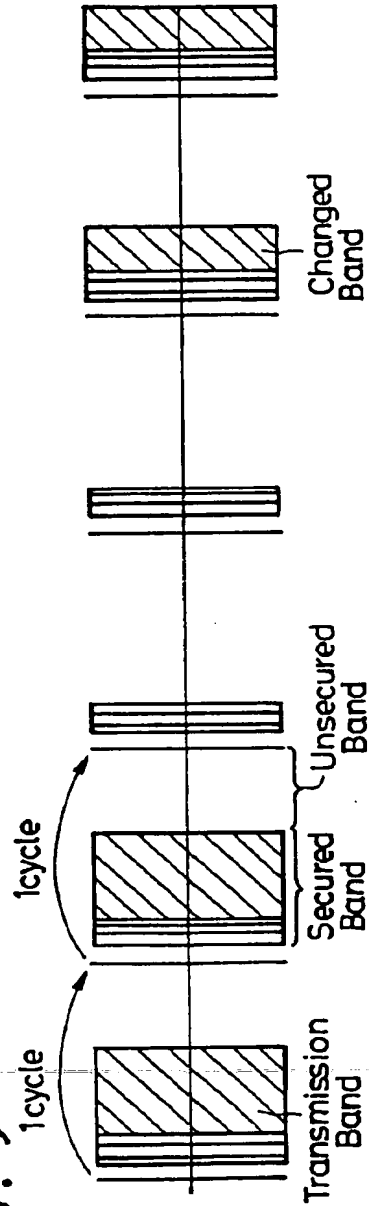


FIG. 9



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-65758

(43)公開日 平成10年(1998) 3月6日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 29/08			H 0 4 L 13/00	3 0 7 C
G 1 1 B 20/10		7736-5D	G 1 1 B 20/10	D
H 0 4 N 5/92			H 0 4 N 5/92	H
7/24			7/13	Z

審査請求 未請求 請求項の数6 O L (全 9 頁)

(21)出願番号 特願平8-222658

(22)出願日 平成8年(1996) 8月23日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 堀口 麻里

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 柳原 尚史

東京都品川区北品川6丁目7番35号 ソニー株式会社内

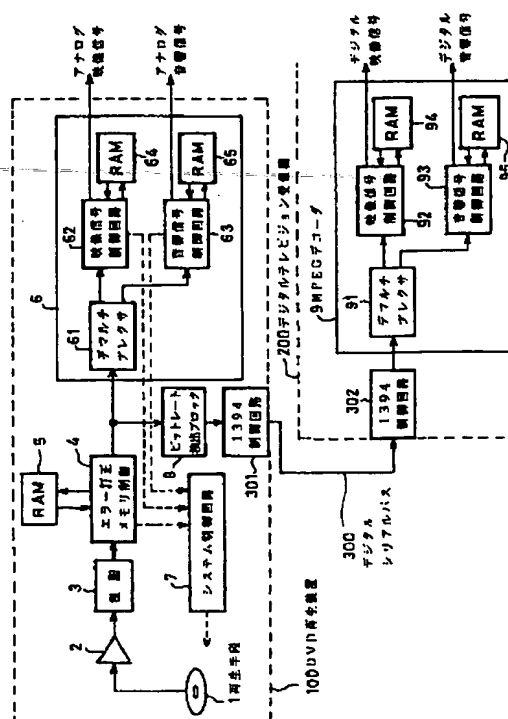
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 データ伝送方法及び装置

(57)【要約】

【課題】 可変レート of データを予め定められたレート of 伝送路を用いて伝送する。

【解決手段】 例えばDVDの再生手段1から取り出されたデジタル信号が誤り訂正及びメモリ制御回路4及びRAM5に供給され、誤り訂正されたデジタル信号が例えばMPEGデコーダ6に供給される。また例えばIEEE-P1394の制御回路301が設けられ、デジタル信号がビットレート検出ブロック8を通じて供給される。このビットレート検出ブロック8においてはビットレートの検出(計算)が行われ、このビットレートの値から伝送に必要なユニット数が計算され、このユニット数を伝送できるように制御回路301で伝送帯域が確保される。これによりデジタル信号がデジタルシリアルバス300を通じて、例えばMPEGデコーダ9を有するデジタルテレビジョン受像機200に伝送される。



【特許請求の範囲】

【請求項1】 可変レートのデータを予め定められたレートの伝送路を用いて伝送するに当たり、上記可変レートのデータを上記伝送路に順次送信すると共に、上記データの処理状況に応じて上記送信を制御することを特徴とするデータ伝送方法。

【請求項2】 請求項1記載のデータ伝送方法において、受信側で上記データの処理状況を判別し、この判別に応じた情報を送信側に伝送して、上記送信の制御を行うことを特徴とするデータ伝送方法。

【請求項3】 請求項1記載のデータ伝送方法において、受信側で上記データの処理する手段と同等の処理手段を送信側に設け、上記送信側での上記データの処理状況を判別し、この判別に応じて上記送信を制御することを特徴とするデータ伝送方法。

【請求項4】 可変レートのデータを予め定められたレートの伝送路を用いて伝送するに当たり、上記可変レートのデータを上記伝送路に順次送信する送信手段を設けると共に、上記データの処理状況を判別する判別手段を設け、上記判別手段からの判別信号に応じて上記送信手段を制御することを特徴とするデータ伝送装置。

【請求項5】 請求項4記載のデータ伝送装置において、受信側に上記データの処理状況を判別する判別手段を設け、上記判別手段からの判別信号に応じた情報を送信側に伝送して上記送信手段の制御を行うことを特徴とするデータ伝送装置。

【請求項6】 請求項4記載のデータ伝送装置において、受信側に設けられる上記データの処理手段と同等の処理手段を送信側にも設け、上記送信側での上記データの処理状況を判別する判別手段を設け、上記判別手段からの判別信号に応じて上記送信手段を制御することを特徴とするデータ伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばDVD（デジタル・ビデオ・ディスク）から再生されるデジタル信号を、IEEE-P1394を通じて伝送する際に使用して好適な、データ伝送方法及び装置に関するものである。

【0002】

【従来の技術】例えばDVD再生装置やデジタルVTR、デジタルテレビジョン放送のチューナなどの、民生用のデジタル音響／映像機器が各種実施されている。このようなデジタル機器において、これらの機器から取り出される信号は、従来は、例えばDVD再生装置等で復調及びA/D変換が行われ、アナログ信号で取り出されて他の機器に供給されるのが一般的であった。

【0003】しかしながらこのような機器から取り出された信号を、例えばコンピュータやデジタル対応のテレビジョン受像機等に供給する場合には、デジタル信号のまま伝送する方が何かと有利である。そこでこのようなデジタル音響／映像信号を伝送するための手段として、IEEE-P1394と呼ばれるデジタルシリアルバスを用いた通信システムが提案されている。

【0004】すなわち図9は、デジタルシリアルバスを用いて形成された通信システムの一例を示す。この図9において、IEEE-P1394バス901に対して、DVD再生装置902やデジタルVTR903、デジタル放送受信機904等のデジタル信号出力装置と、デジタルテレビジョン受像機905、906やパーソナルコンピュータ907等のデジタル信号入力装置が接続される。

【0005】これによってこれらのデジタル音響／映像機器の間で、IEEE-P1394バス901を通じてデジタル信号の送受信が行われる。そしてIEEE-P1394バス901を例えば100Mbps対応とした場合には、IEEE-P1394で定められた通信サイクルである125μsecの間に、任意のデータの伝送単位であるユニットを、4915ユニット伝送することができる。

【0006】ここでこのユニットは伝送される信号のビットレートの値に対応するものである。そして例えば一般的な映像信号の平均ビットレートである約10Mbpsを伝送するためには、上述のシステムでは例えば1200ユニットが使用される。また、音響信号の平均ビットレートである約2Mbpsを伝送するためには、例えば704ユニットが使用されるものである。

【0007】従って上述の通信システムにおいて、DVD再生装置902やデジタルVTR903、デジタル放送受信機904等のデジタル信号出力装置から出力されるデジタル映像信号や音響信号を、IEEE-P1394バス901を通じて、デジタルテレビジョン受像機905、906やパーソナルコンピュータ907等のデジタル信号入力装置に伝送することができる。

【0008】ところが上述のIEEE-P1394のシステムでは、伝送される信号は、予め伝送レートを決定して伝送が行われるものである。これに対して、例えばDVDから再生されるデジタル信号は、例えばMPEG方式を用いて可変レートで再生されるものであり、特に動きの少ない画像では、連続して再生を行う必要がなく

なって、DVDの再生動作が停止される場合も生じるものである。

【0009】従ってこのような例えばDVDから可変レートで再生されるデジタル信号は、このままでは上述のIEEE-P1394の通信システムでは伝送することができないものであった。

【0010】

【発明が解決しようとする課題】この出願はこのような点に鑑みて成されたものであって、解決しようとする問題は、例えばDVDから再生されるデジタル信号は、従来は例えばIEEE-P1394のシステムでは伝送することができなかったというものである。

【0011】

【課題を解決するための手段】このため本発明においては、可変レートのデータを伝送路に順次送信すると共に、データの処理状況に応じて送信を制御するようにしたものであって、これによれば、可変レートのデータを予め定められたレートの伝送路を用いて伝送することができる。

【0012】

【発明の実施の形態】すなわち本発明においては、可変レートのデータを予め定められたレートの伝送路を用いて伝送するに当たり、可変レートのデータを伝送路に順次送信すると共に、データの処理状況に応じて送信を制御してなるものである。以下、図面を参照して本発明を説明するに、図1、図2は、それぞれ本発明を適用したデータ伝送装置の一例の構成を示すブロック図である。

【0013】なお、図1、図2は、それぞれ例えばDVD再生装置100とMPEGデコーダを有するデジタルテレビジョン受像機200の間を、IEEE-P1394のデジタルシリアルバス300を用いて接続する場合の例を示している。ここで図1は、例えば図3に示すようにDVD再生装置100にMPEGデコーダが内蔵されている場合である。また図2は、例えば図4に示すようにDVD再生装置100にMPEGデコーダが内蔵されていない場合である。

【0014】そこでまず図1のDVD再生装置100にMPEGデコーダが内蔵されている場合においては、図示のように例えばDVDの再生手段1からの再生信号がアンプ2を通じて復調器3に供給されて、DVDに記録されたデジタル信号が取り出される。このデジタル信号が誤り訂正及びメモリ制御回路4を通じてランダムアクセスメモリ(RAM)5に記憶されて誤り訂正が行われる。

【0015】さらにこの誤り訂正されたデジタル信号が内蔵のMPEGデコーダ6に供給される。そしてこのMPEGデコーダ6においては、供給されたデジタル信号がデマルチプレクサ61に供給されて、例えば映像信号のデータと音響信号のデータに分離される。この分離されたデータがそれぞれ制御回路62、63を通じてラン

ダムアクセスメモリ(RAM)64、65に記憶される。

【0016】さらに、これらのRAM64、65に記憶された映像信号のデータと音響信号のデータがそれぞれ制御回路62、63との間で交換処理されて、それぞれMPEG方式の映像信号及び音響信号のデコードが行われる。そしてこれらのデコードされた映像信号と音響信号が、それぞれ例えばアナログ信号でMPEGデコーダ6から取り出される。

【0017】それと共に、これらのRAM64、65の記憶状況が制御回路62、63で判別され、この判別信号がシステム制御回路7に供給される。また、RAM5の記憶状況がメモリ制御回路4で判別され、この判別信号がシステム制御回路7に供給される。そしてこのシステム制御回路7では、これらのRAM5、64、65の記憶状況に応じて、例えばDVDの再生手段1の再生動作が制御される。

【0018】またこのDVD再生装置100において、例えばIEEE-P1394の制御回路301が設けられる。この制御回路301には、上述の誤り訂正及びメモリ制御回路4から取り出される誤り訂正されたデジタル信号がビットレート検出ブロック8を通じて供給される。そしてこの制御回路301において、例えばIEEE-P1394の規定に従ったデジタル信号の送信が行われる。

【0019】すなわち上述のビットレート検出ブロック8においては、例えば図5に示すようなフローチャートに従ってビットレートの検出(計算)が行われる。この図5において、ステップ〔1〕で例えばMPEG方式のバックヘッダ部が検出される。そしてバックヘッダ部が検出されたときはステップ〔2〕に進められてバック数カウンタの値Nがインクリメントされる。

【0020】次に、ステップ〔3〕でタイマカウンタが判別され、例えばデクリメント方式のカウント値がT=0になると、ステップ〔4〕に進められる。そしてステップ〔4〕では、上述のバック数カウンタの値Nからビットレートが計算される。ここで上述のMPEG方式のバックには、例えば2048×8ビットのデータが設けられ、上述の値Nが乗算されてビットレートBRが計算される。

【0021】さらに、ステップ〔5〕でタイマカウンタが例えばT=1秒となるようにリセットされ、ステップ〔6〕でバック数カウンタの値Nがリセットされる。そしてステップ〔7〕で、上述の計算されたビットレートBR

$$BR = N \times 2048 \times 8$$

が例えばIEEE-P1394の制御回路301に伝達される。

【0022】これによって制御回路301では、伝達されたビットレートBRの値から伝送に必要なユニット数

が計算される。そしてこのユニット数を伝送できるように、例えばIEEE-P1394の規定に従って伝送帯域が確保される。すなわちこの制御回路301から必要な伝送帯域が通信システムの全体を制御する任意のマスタ機器に要求され、必要な伝送帯域が確保される。

【0023】このようにして制御回路301に必要な伝送帯域が確保され、この伝送帯域を使って誤り訂正及びメモリ制御回路4からのデジタル信号の伝送が行われる。そしてこの制御回路301に供給されたデジタル信号がデジタルシリアルバス300を通じて、例えばMPEGデコーダを有するデジタルテレビジョン受像機200に設けられたIEEE-P1394の制御回路302に伝送される。

【0024】これによって、上述のDVD再生装置100に設けられた制御回路301と、受像機200に設けられた制御回路302との間で、例えばIEEE-P1394の規定に従ったデジタル信号の伝送が行われる。すなわち上述のDVD再生装置100に設けられた制御回路301から送信されたデジタル信号が受像機200に設けられた制御回路302で受信される。

【0025】さらに、制御回路302で受信されたデジタル信号が受像機200に内蔵されたMPEGデコーダ9に供給される。このMPEGデコーダ9では供給されたデジタル信号がデマルチプレクサ91に供給されて、例えば映像信号と音響信号のデータに分離される。この分離されたデータがそれぞれ制御回路92、93を通じてランダムアクセスメモリ(RAM)94、95に記憶される。

【0026】さらにこれらのRAM94、95に記憶された映像信号と音響信号のデータがそれぞれ制御回路92、93との間で交換処理されて、それぞれMPEG方式の映像信号及び音響信号のデコードが行われる。そしてこれらのデコードされた映像信号と音響信号が、それぞれ例えばデジタル信号でMPEGデコーダ9から取り出される。

【0027】そしてこのDVD再生装置100において、例えばDVDの再生手段1からの映像信号及び音響信号の再生中に、RAM64、65には、それぞれ制御回路62、63での処理に応じた映像信号と音響信号のデータが記憶される。一方、RAM94、95にも、それぞれ制御回路92、93での処理に応じた映像信号と音響信号のデータが記憶される。

【0028】ここで制御回路62、63及び92、93には同等の回路が用いられているとすると、RAM64、65及び94、95に記憶されるデータの量も等しいものになる。そこでRAM64、65で映像信号と音響信号のデータの占有量を判別すると、RAM94、95での占有量を判別できることになり、この判別信号を用いて、例えばDVDの再生手段1の再生動作を制御することができる。

【0029】すなわち例えばDVDを再生する場合において、MPEGデコーダ6、9に設けられたメモリ(RAM64、65及び94、95)が一杯に近づくと、再生手段1の再生動作が停止され、これらのメモリが空に近づくと再生動作が開始される制御が行われている。一方、上述の構成でRAM64、65及び94、95の占有量は等しいものと判断されている。

【0030】そこで上述の構成においては、RAM64、65の占有量を判別し、占有量が所定の値を越えたときは、例えばDVDの再生手段1の再生動作を停止させ、所定の値以下になったときに再生動作を開始させる制御を行う。これによって、デコーダ9がデジタルシリアルバス300を通じて接続されている場合であっても、その処理の状況に応じて再生手段1の再生動作を制御することができる。

【0031】従ってこの装置において、可変レートのデータを伝送路に順次送信すると共に、データの処理状況に応じて送信を制御することによって、可変レートのデータを予め定められたレートの伝送路を用いて伝送することができる。

【0032】これによって、従来は例えばDVDから再生されるデジタル信号は、例えばIEEE-P1394のシステムでは伝送することができなかったものを、本発明によれば、伝送することができるようになるものである。

【0033】なお、上述のMPEGデコーダ6から取り出されたアナログ信号の映像信号と音響信号は、それぞれアナログ信号線400を通じてアナログテレビジョン受像機500に供給することもできる。

【0034】さらに図2は、DVD再生装置100にMPEGデコーダが内蔵されていない場合である。この例においても、例えばDVDの再生手段1からの再生信号がアンプ2を通じて復調器3に供給されて、DVDに記録されたデジタル信号が取り出される。このデジタル信号が誤り訂正及びメモリ制御回路4を通じてランダムアクセスメモリ(RAM)5に供給されて誤り訂正が行われる。

【0035】そしてこの例では、誤り訂正されたデジタル信号とビットレート検出ブロック8で検出されたビットレートBRの値が例えばIEEE-P1394の制御回路301に供給される。なお、ビットレート検出ブロック8では上述の図2のフローチャートに従ってデジタル信号のビットレートBRが計算される。そしてこのビットレートBRに従って上述の伝送帯域が確保される。

【0036】これによって、上述のDVD再生装置100に設けられた制御回路301と、受像機200に設けられた制御回路302との間で、例えばIEEE-P1394の規定に従ったデジタル信号の伝送が行われる。すなわち上述のDVD再生装置100に設けられた制御回路301から送信されたデジタル信号が受像機200

に設けられた制御回路302で受信される。

【0037】さらに制御回路302で受信されたデジタル信号が受像機200に内蔵されたMP E Gデコーダ9に供給される。このMP E Gデコーダ9では供給されたデジタル信号がデマルチプレクサ91に供給されて、例えば映像信号と音響信号のデータに分離される。そして分離されたデータがそれぞれ制御回路92、93を通じてランダムアクセスメモリ (RAM) 94、95に供給される。

【0038】さらに、これらのRAM94、95に記憶された映像信号と音響信号のデータがそれぞれ制御回路92、93との間で交換処理されて、それぞれMP E G方式の映像信号及び音響信号のデコードが行われる。そしてこれらのデコードされた映像信号と音響信号が、それぞれ例えばデジタル信号でMP E Gデコーダ9から取り出される。

【0039】それと共に、これらのRAM94、95の記憶状況が制御回路92、93で判別され、この判別信号が制御回路302に供給される。そしてこの制御回路302に供給された判別信号が、例えばI E E E-P1394の規定に従ってデジタルシリアルバス300を通じて上述のDVD再生装置100に設けられた制御回路301に伝送される。

【0040】ここで例えばI E E E-P1394の規定においては、制御回路301、302には例えば図6に示すような回路が設けられる。この図6において、例えば映像信号と音響信号のデータを伝送するアイソクロナス(Isochronous) 通信を行うI s oパケット送受信ブロック310と、制御信号等を伝送するアシンクロナス(Asynchronous)通信を行うバス制御ブロック311が設けられる。

【0041】そしてこのI s oパケット送受信ブロック310と、上述の誤り訂正及びメモリ制御回路4、ビットレート検出ブロック8、あるいはMP E Gデコーダ9等の情報信号処理ブロック312との間でデータの伝送が行われる。このデータの伝送においては、例えば図7に示すようなI E E E-P1394で規定されたI s oパケットによる通信が用いられる。

【0042】すなわちこのI s oパケットは、4バイト(=1クアドレット)を単位として構成され、第1のクアドレットにデータ長等のヘッダ情報が設けられ、第2のクアドレットにこのヘッダ情報に対するCRCが設けられる。この第1及び第2のクアドレットにてパケットヘッダが構成される。このパケットヘッダはI s oパケットの伝送ごとにその最初に伝送される。

【0043】さらに、パケットヘッダに続いてデータフィールドが設けられる。このデータフィールドも上述のクアドレット単位で構成される。そしてこのデータフィールドの最後に、これらのデータフィールドに対するCRCが設けられてデータブロックが構成される。これら

のパケットヘッダ及びデータブロックによって、I E E E-P1394で規定されたI s oパケットが構成される。

【0044】また上述のバス制御ブロック311には、情報信号処理ブロック312からの信号の種類の情報や、RAM94、95の記憶状況の判別信号等が供給され、これらの情報がアシンクロナス通信で他の制御回路301、302に伝送される。そしてこれらの伝送された信号に基づいて、それぞれ制御回路301、302等の設けられた機器の制御が行われる。

【0045】さらに上述のバス制御ブロック311には、プラグ制御レジスタ313が設けられる。このプラグ制御レジスタ313には、機器で形成された情報や上述の伝送された情報に従って値が設定される。そしてこのプラグ制御レジスタ313に設定された各種情報に従った値に基づいて、例えば上述のI s oパケット送受信ブロック310でのデータの入出力が制御される。

【0046】そしてこのアシンクロナス通信を通じて、例えばRAM94、95の記憶状況の判別信号が制御回路302から制御回路301に伝送され、制御回路301で受信された判別信号がシステム制御回路7に供給される。これによってシステム制御回路7では、上述のRAM5及びRAM94、95の記憶状況に応じて、例えばDVDの再生手段1の再生動作が制御される。

【0047】従ってこの装置においても、可変レートのデータを伝送路に順次送信すると共に、データの処理状況に応じて送信を制御することによって、可変レートのデータを予め定められたレートの伝送路を用いて伝送することができる。

【0048】これによって、従来は例えばDVDから再生されるデジタル信号は、例えばI E E E-P1394のシステムでは伝送することができなかったものを、本発明によれば、伝送することができるようになるものである。

【0049】すなわち上述の装置においては、ビットレート検出ブロック8によってデジタル信号のビットレートBRが計算され、これに従って例えばI E E E-P1394の伝送帯域が確保される。これによって伝送帯域は、例えば図8に示すようにデジタル信号のビットレートBRに従って変化され、可変レートのデータを予め定められたレートの伝送路を用いて伝送することができるようになる。

【0050】こうして上述のデータ伝送方法及び装置によれば、可変レートのデータを予め定められたレートの伝送路を用いて伝送するに当たり、可変レートのデータを伝送路に順次送信すると共に、データの処理状況に応じて送信を制御することにより、可変レートのデータを予め定められたレートの伝送路を用いて伝送することができるものである。

【0051】

【発明の効果】この発明によれば、可変レートデータの伝送路に順次送信すると共に、データの処理状況に応じて送信を制御することによって、可変レートデータを予め定められたレートの伝送路を用いて伝送することができるようになった。

【0052】これによって、従来は例えばDVDから再生されるデジタル信号は、例えばIEEE-P1394のシステムでは伝送することができなかったものを、本発明によれば、伝送することができるようになるものである。

【図面の簡単な説明】

【図1】本発明の適用されるデータ伝送装置の一例の構成図である。

【図2】本発明の適用されるデータ伝送装置の他の例の構成図である。

【図3】その説明のための全体の構成を示す図である。

【図4】その説明のための全体の構成を示す図である。

【図5】その動作の説明のためのフローチャート図である。

【図6】その動作の説明のための制御回路の一例の構成図である。

【図7】その説明のためのIsoパケットの構成を示す図である。

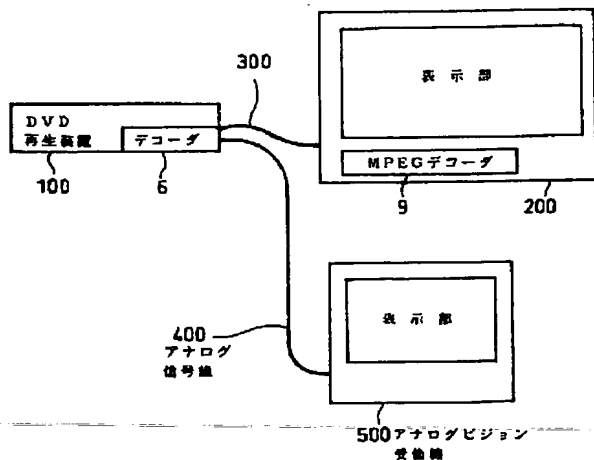
【図8】本発明によるデータ伝送方法の説明のための図である。

【図9】IEEE-P1394のシステムを用いた全体の構成を示す図である。

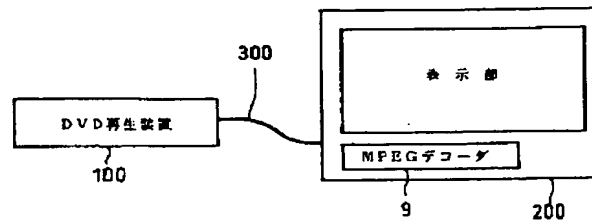
【符号の説明】

1 DVDの再生手段、2 アンプ、3 復調器、4 誤り訂正及びメモリ制御回路、5、6 4、6 5、9 4、9 5 ランダムアクセスメモリ、6、9 MPEGデコーダ、6 1、9 1 デマルチプレクサ、6 2、6 3、9 2、9 3 制御回路、7 システム制御回路、8 ビットレート検出ブロック、100 DVD再生装置、200 デジタルテレビジョン受像機、300 デジタルシリアルバス、301、302 IEEE-P1394の制御回路

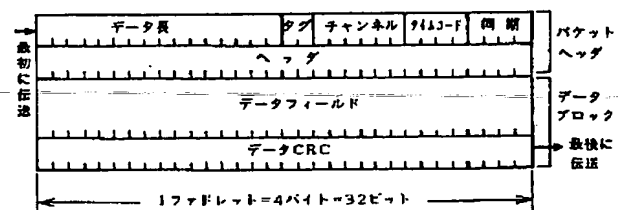
【図3】



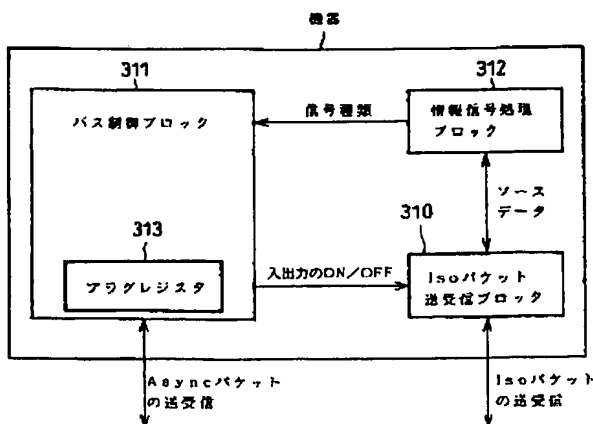
【図4】



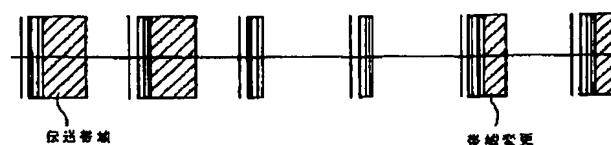
【図7】



【図6】

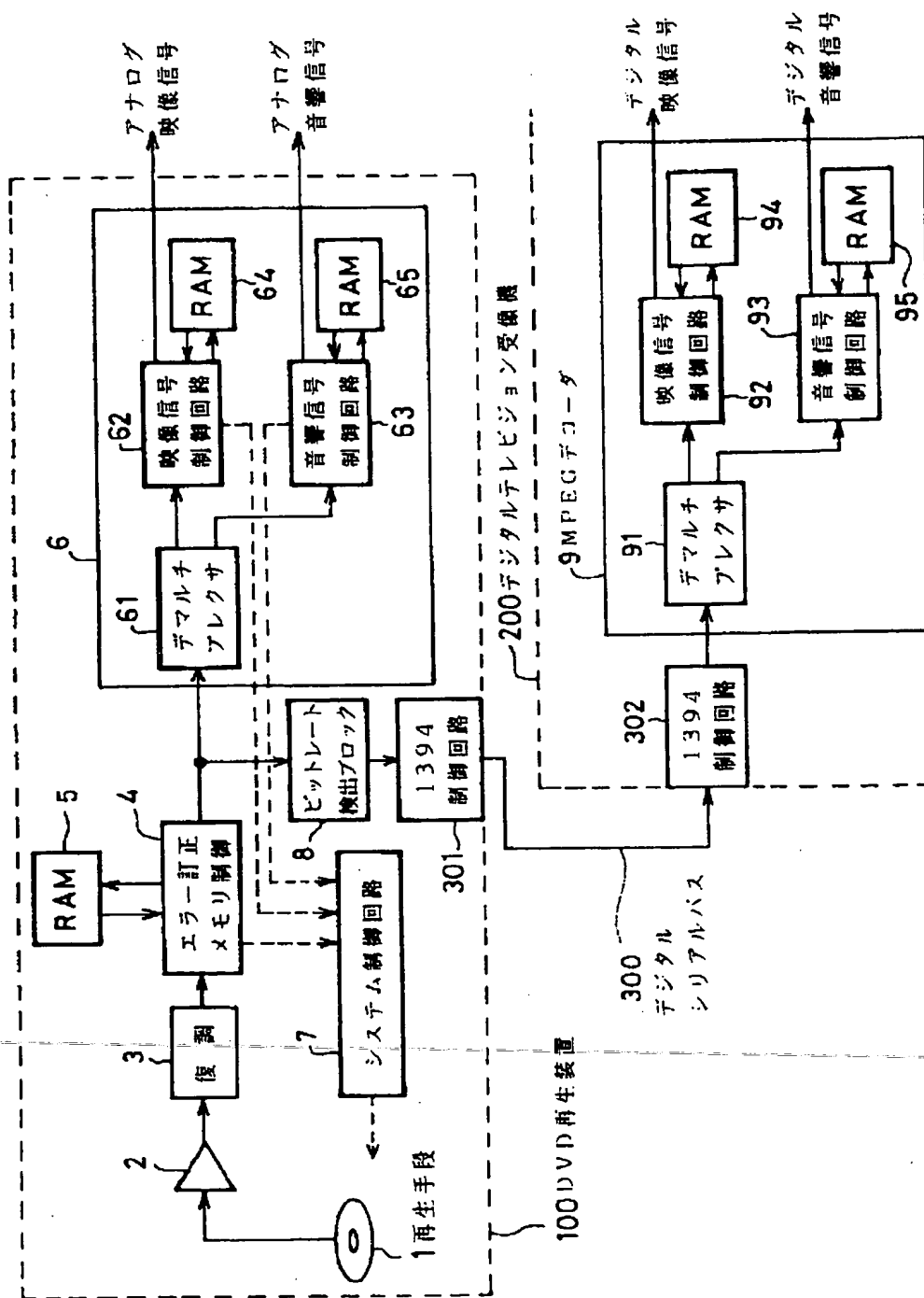


【図8】

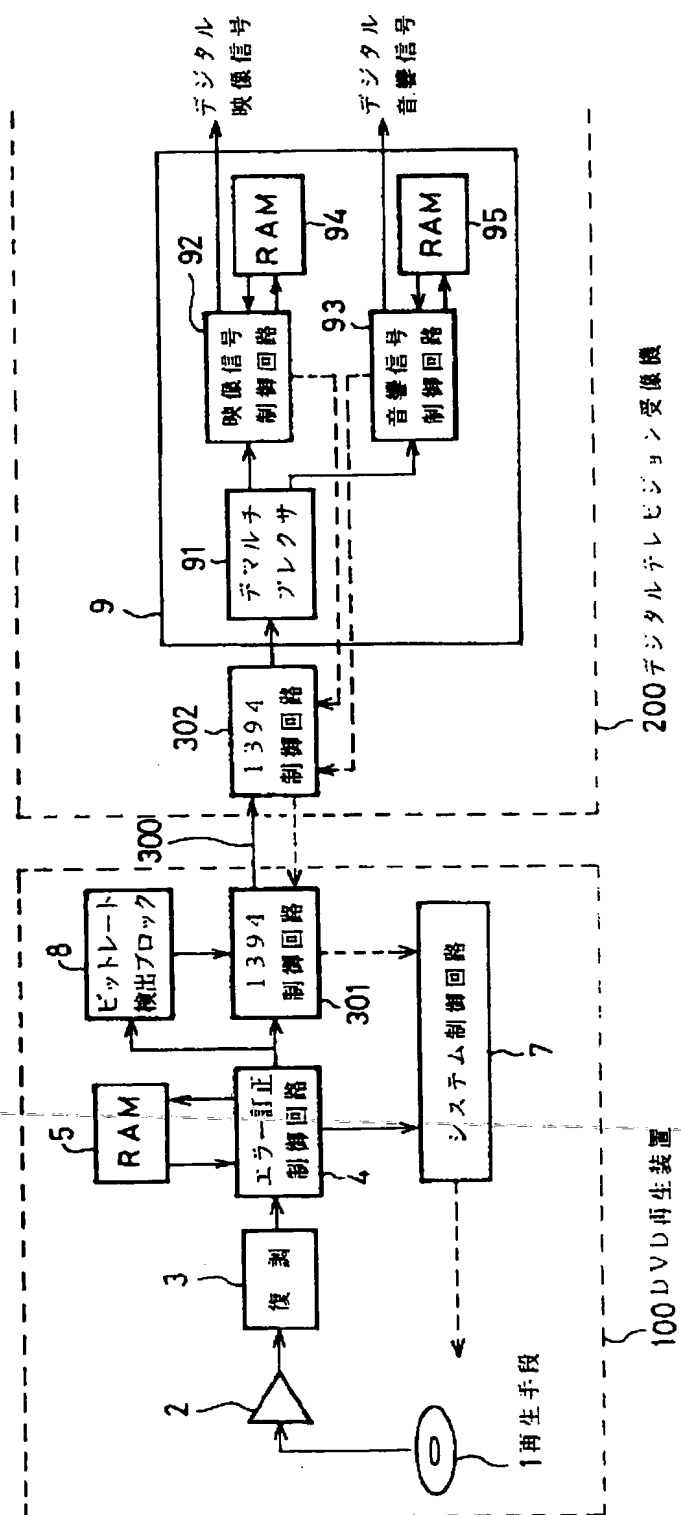


(7)

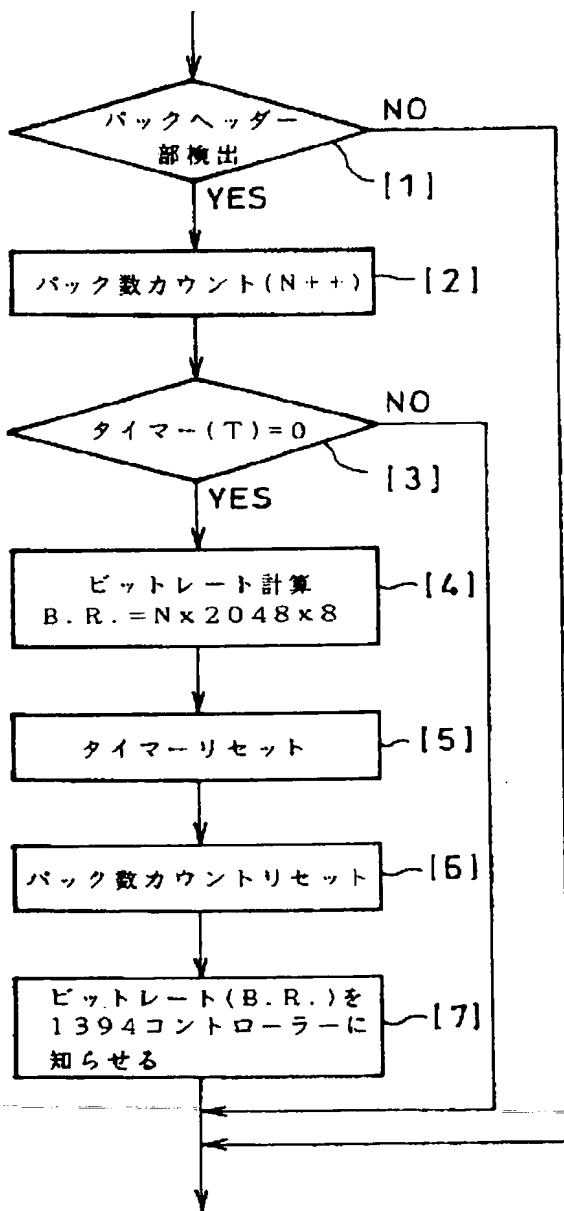
【図1】



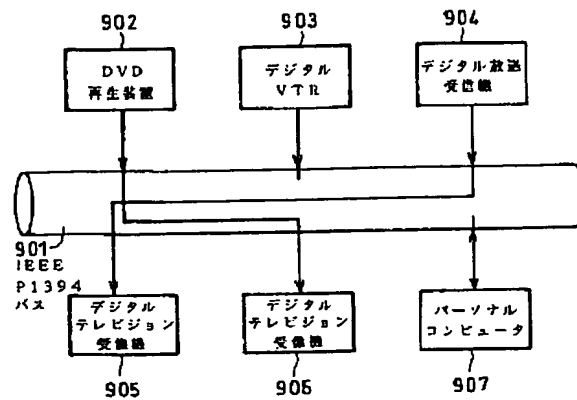
【図2】



【図5】



【図9】



(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11)

EP 0 825 784 A2

(12)

EUROPEAN PATENT APPLICATION

(43) Date of publication:
25.02.1998 Bulletin 1998/09

(51) Int Cl.⁶: H04N 7/52

(21) Application number: 97306293.8

(22) Date of filing: 19.08.1997

(84) Designated Contracting States:
AT BE CH DE DK ES FI FR GB GR IE IT LI LU MC
NL PT SE

• Yanagihara, Naofumi
Shinagawa-ku, Tokyo (JP)

(30) Priority: 23.08.1996 JP 222657/96

(71) Applicant: SONY CORPORATION
Tokyo 141 (JP)

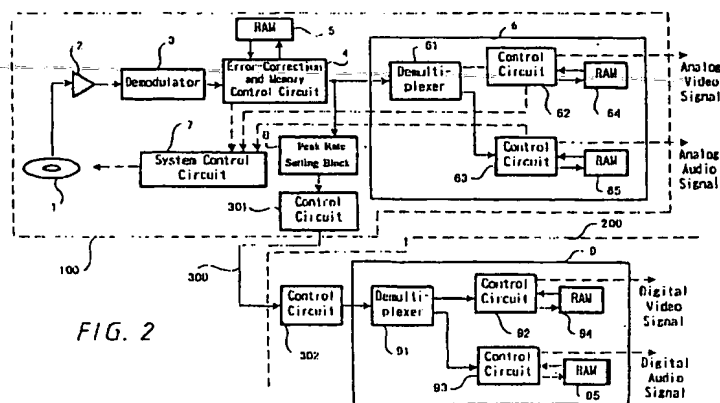
(74) Representative:
Robinson, Nigel Alexander Julian et al
D. Young & Co.,
21 New Fetter Lane
London EC4A 1DA (GB)

(72) Inventors:
• Horiguchi, Mari
Shinagawa-ku, Tokyo (JP)

(54) Apparatus and method for transmitting data

(57) DVD reproducing apparatus (902) which transmits variable-bit rate data on a digital serial bus (901) having a predetermined transmission rate. The DVD reproducing apparatus reproduces data from a record medium (1) in accordance with a control signal to produce variable rate data. The peak data rate of the variable rate data is detected (8), a rate of transmission of the variable rate data is established in accordance with the detected peak data rate, and the variable rate data is transmitted in accordance with the established transmission rate. The DVD reproducing apparatus includes an MPEG decoder (6) which MPEG decodes the reproduced data and which generates the control signal in accordance with amounts of data stored within various

buffers (64,65), such control signal being utilized to control the reproduction of the data from the record medium. A receiver (220,500), e.g., a digital television (200), having an MPEG decoder (9) therein receives the transmitted data and MPEG decodes the data, but such MPEG decoder does not generate a control signal similar to the previously generated control signal in order to prevent underflow/overflow of the memories therein. In another embodiment, the DVD reproducing apparatus does not include therein an MPEG decoder, but the receiving device's MPEG decoder, unlike the first mentioned embodiment, generates a control signal that is transmitted back to the DVD reproducing apparatus in order to prevent underflow/overflow of the memories within the receiving device's MPEG decoder.



EP 0 825 784 A2

Description

The present invention relates to an apparatus and a method for transmitting data and, more particularly, but not exclusively, to an apparatus and a method for transmitting variable-bit rate data on a digital serial bus having a predetermined transmission rate.

As is known, various types of digital video-audio equipment, for example, DVD reproducing devices, digital VTRs, digital televisions, etc., are currently available for consumer use. Several such devices reproduce or receive digital video/audio signals, convert those signals into analog signals, and supply the analog signals to analog-type video/audio equipment. It is also generally desirable to supply from such equipment digital video/audio signals to, for example, a personal computer, a digital television receiver, or other type of digital device.

The communication system IEEE-1394 is a digital serial bus which has been proposed as a means for transmitting such digital video/audio signals between digital devices. Referring to Fig. 1 of the drawings, an exemplary block diagram of an IEEE-1394 system that includes an IEEE-1394 bus 901 and various digital devices 902-907 is shown. In the exemplary block diagram, the IEEE-1394 bus is coupled between a DVD reproducing apparatus 902, a digital VCR 903, a digital broadcasting receiver 904, a digital television receiver 905, a digital television receiver 906 and a personal computer 907. As shown, digital video/audio data is supplied from DVD reproducing apparatus 902 via the IEEE-1394 bus to digital television receiver 906, and digital video/audio data supplied from digital broadcasting 904 is supplied via bus 901 to digital television receiver 905. Given an IEEE-1394 bus with a transmission rate of, for example, 100 Mbps, and video/audio data is organized into "units" of data, then in accordance with IEEE-1394 standard, 4915 units of data can be transmitted during each 125 μ sec transmission cycle of the bus. In accordance with this standard, the number of units transmitted corresponds to the bit rate of the signal to be transmitted. For example, to realize a communication speed of approximately 10 Mbps, which corresponds to the mean bit rate of a typical video signal, then approximately 1200 units are needed. However, to realize a communication speed of approximately 2 Mbps, which is the mean bit rate of an audio signal, then approximately 704 units are needed.

One limitation of the above discussed IEEE-1394 standard is that signals are transmitted only after their transmission rate (i.e., bit rate) is determined. However, DVD reproducing devices that employ MPEG encoders/decoders reproduce digital video/audio data at a variable rate and, thus, an IEEE 1394-bus previously has been unable to transmit variable rate data reproduced from such devices.

Therefore, it is an object of the present invention to provide an apparatus and a method for transmitting dig-

ital video/audio data which address the shortcomings of the above described system.

Various aspects of the present invention are set out in the accompanying claims.

Embodiments of the invention will now be described, by way of example only, with reference to the accompanying drawings in which:

Fig. 1 is a block diagram of a system employing an IEEE-1394 digital serial bus;

Fig. 2 is a block diagram of a data transmission apparatus in accordance with one embodiment of the present invention;

Fig. 3 is a block diagram of a data transmission apparatus in accordance with another embodiment of the present invention;

Fig. 4 is a simplified block diagram of the device shown in Fig. 2;

Fig. 5 is a simplified block diagram of the device shown in Fig. 3;

Fig. 6 is a block diagram of control circuits 301 and 302 in accordance with one embodiment of the present invention;

Fig. 7 schematically illustrates the data structure of an Iso packet; and

Fig. 8 is a schematic illustration of the transmission bandwidth of a digital serial bus that is transmitting data in accordance with the present invention.

Figs. 2 and 3 illustrate different exemplary embodiments of the data transmission apparatus of the present invention, wherein Fig. 2 illustrates a DVD reproducing apparatus 100 that includes an MPEG decoder 6, and Fig. 3 illustrates a DVD reproducing apparatus 100 that does not include an MPEG decoder. As will be discussed, DVD reproducing apparatus 100 shown in both Figs. 2 and 3 are coupled via an IEEE-1394 digital serial bus 300 to an MPEG decoder 9, included in, for example, a digital television receiver.

Referring first to the embodiment of the present invention shown in Fig. 2, DVD reproducing apparatus 100 is operable to reproduce digital video/audio data from a digital video disk, decode the reproduced data in MPEG decoder 6, and supply the decoded data as respective analog video and audio signals. The analog video and audio signals may be supplied to, for example, an analog television receiver, an analog recording device, etc. DVD reproducing apparatus 100 further is operable to transmit the reproduced digital video/audio data via bus 300 to an external MPEG decoder 9 which decodes the transmitted signal and supplies digital video and audio signals as an output.

DVD reproducing apparatus 100 of the present invention reproduces digital video/audio data from a digital video disk in a reproducing device 1 which supplies the reproduced data via an amplifier circuit 2 to a demodulator 3 which demodulates the reproduced signal. The demodulated signal is supplied to an error correc-

tion and memory control circuit 4 which stores the supplied signal in a random access memory 5 and corrects errors in the stored signal in a known manner. The error corrected signal is supplied to MPEG decoder 6 which includes therein a demultiplexer 61, control circuits 62 and 63, and random access memories 64 and 65. The digital signal is supplied to demultiplexer 61 which demultiplexes the signal into its respective video and audio components. The video signal is stored via control circuit 62 in memory 64, and the audio signal is stored via control circuit 63 in memory 65. Control circuits 62 and 63 decode the respective stored video and audio signals in a known manner and the decoded video and audio signals are supplied as, for example, analog video and audio output signals (after digital to analog conversion).

In addition to decoding the stored video and audio signals, control circuits 62 and 63 supply to a system control circuit 7 respective control signals that identify the storage states of the respective memories 64, 65. Similarly, memory control circuit 4 supplies to system control circuit 7 a control signal that identifies the storage state of memory 5. These control signals are sometimes identified as memory occupation data and generally identify how much data is stored in the respective memories. System control circuit 7, in response to the supplied control signals, controls the reproduction of the digital video/audio data by the reproducing device 1 so as to, *inter alia*, prevent the underflow and/or overflow of the memories.

In accordance with this embodiment of the present invention, DVD reproducing apparatus 100 includes a peak rate setting block 8 which sets the peak rate of the reproduced data for purposes of transmission of the variable-rate data on bus 300 (to be further discussed). DVD reproducing apparatus 100 further includes a control circuit 301 which transmits the error corrected digital signal output by circuit 4 on bus 300 in accordance with the IEEE-1394 standard. In addition to supplying the error corrected digital video/audio signal to MPEG decoder 6, error correction and memory control circuit 4 supplies the error corrected digital video/audio signal to peak rate setting block 8.

As previously mentioned, the mean bit rate of a typical video signal is 10 Mbps, and the mean bit rate of a typical audio signal is 2Mbps. In accordance with this embodiment of the present invention, peak rate setting block 8 sets the peak rates of the video and audio signals to twice their respective mean bit rates, that is, 20 Mbps and 4 Mbps, respectively. Control circuit 301 calculates from the supplied set peak rate the number of units that are required, and in accordance with the IEEE-1394 standard to provide a total transmission speed of, for example, 100 Mbps on the digital serial bus, 2400 units and 1408 units are required to transmit the video and audio signals, respectively. The transmission band necessary then is said to be "secured" in accordance with the standard.

Referring to Fig. 8, prior to each 125 μ sec transmis-

sion cycle of the IEEE-1394 bus 300 during which the video and audio signals are transmitted, the required transmission band is secured by control circuit 301, such transmission band being represented by the dashed rectangular portion in each cycle in Fig. 8. That is, the regions surrounded by the dashed rectangular portions are said to be "secured" for the data that is to be transmitted by DVD reproducing apparatus 100 of the present invention. The hatched portion of each secured rectangular portion of each cycle represents that portion of the secured transmission band that is actually utilized, i.e., the hatched portions represent the variable rate data itself. The unsecured transmission band corresponds to those regions beyond the dashed rectangular portions and are usable by other devices, for example, digital VCR 903 shown in Fig. 1.

Control circuit 301 secures the necessary transmission band and subsequently transmits the digital signal (video and audio) supplied from error correction and memory control circuit 4 on the secured transmission band of bus 300. The digital signal is transmitted to a control circuit 302 which operates to control the bus communication in accordance with the IEEE-1394 standard, which control circuit 302 being included in, for example, a digital television receiver 200 that includes an MPEG decoder 9. Therefore, and in accordance with the present invention, variable bit rate data reproduced by DVD reproducing apparatus 100 is transmitted on a digital serial bus in accordance with the IEEE-1394 standard.

The transmitted video/audio data is supplied from control circuit 302 to MPEG decoder 9 which has a structure similar to that of MPEG decoder 6, but control circuits 92, 93 do not produce control signals that identify the storage state of memories 94, 95. The digital video/audio signal is supplied to a demultiplexer 91 which demultiplexes the signal into its respective video and audio components which are then stored via control circuits 92 and 93 in random access memories 94 and 95, respectively. The respective digital and audio signals are decoded by control circuits 92 and 93 and the decoded video and audio signals are supplied as, for example, respective digital video and audio signals.

As previously mentioned, control circuits 92 and 93 do not generate control signals that identify the storage states of memories 94 and 95. DVD reproducing apparatus 100 operates to MPEG decode the reproduced signal in MPEG decoder 6 and simultaneously transmit the reproduced signal on bus 300. Since MPEG decoder 9 is equivalent to MPEG decoder 6, and since control circuits 62 and 63 generate respective control signals representing the storage states of memories 64 and 65, which in turn controls the reproduction of the data from the digital video disk, it is unnecessary for control circuits 92 and 93 to generate controls signals that identify the respective storage states of memories 94 and 95. In other words, the storage states of memories 64 and 65 should be substantially equivalent to the storage states

of memories 94 and 95, respectively and, thus, proper control of the reproduction of the digital video/audio data from the digital video disk is provided solely by MPEG decoder 6.

As previously mentioned, MPEG decoder 6 may supply as outputs respective analog video and audio signals and such signals may be supplied on an analog signal line 400 to an analog television receiver 500, such as shown in Fig. 4.

In accordance with this embodiment of the present invention, as discussed above, the storage states of memories 64 and 65 are detected and the reproduction operation of DVD reproducing apparatus 100 is controlled in accordance with such storage states thus preventing underflow and overflow of memories 64 and 65. By the use of MPEG decoder 6, a separate MPEG decoder 9, that is coupled to DVD reproducing apparatus 100 via digital serial bus 300, does not need to determine whether an underflow or overflow condition of memories 94 and 95 exists. Furthermore, by detecting the peak rate of the supplied digital video/audio signal periodically in peak rate setting block 8, variable rate data may be transmitted on a digital serial bus in accordance with the IEEE-1394 standard, even when such standard requires that the transmitted bit rate be known.

Referring next to Fig. 3 of the drawings, a block diagram of apparatus for transmitting digital video and audio data in accordance with another embodiment of the present invention is shown. Fig. 5 also illustrates the present embodiment, wherein DVD reproducing apparatus 100 is coupled to a digital television 200 including therein a display unit and MPEG decoder 9. Referring back to Fig. 3, DVD reproducing apparatus 100 includes a DVD reproducing device 1, an amplifier 2, a demodulator 3, an error correction and memory control circuit 4, a random access memory 5, a peak rate setting block 8, a system control circuit 7 and a control circuit 301 and thus is similar to DVD reproducing apparatus 100 shown in Fig. 2, except the DVD reproducing device of the present embodiment does not include an internal MPEG decoder 6. In the present embodiment, circuits 1-5 operate in a manner identical to that of circuits 1-5 shown in Fig. 2, wherein digital video/audio data is reproduced from a digital video disk, demodulated, stored in memory 5, error corrected in circuit 4 and supplied as an error corrected digital video/audio signal to control circuit 301 via peak-rate setting block 8. Peak rate setting block 8 operates in the same manner as that described above with respect to the embodiment shown in Fig. 2 and, therefore, further-description thereof is omitted herein. Also, like the embodiment shown in Fig. 2, control circuit 301 shown in Fig. 3 secures the necessary bandwidth in accordance with the peak rate detected by peak rate setting block 8 and transmits on bus 300 the error corrected digital video/audio signal in accordance with the IEEE-1394 standard, all as previously discussed.

The transmitted digital video/audio signal is supplied to a control circuit 302 included in digital television

receiver 200 which supplies the received signal to an MPEG decoder 9 which includes therein a demultiplexer 91, control circuits 92 and 93, and memories 94 and 95. Demultiplexer 91 demultiplexes the transmitted signal into its respective video and audio components, and stores the video data via control circuit 92 in memory 94 and stores the audio data via control circuit 93 in memory 95. Control circuits 92 and 93 MPEG decode the respective video and audio data to produce respective digital video and audio signals.

In accordance with this embodiment of the present invention, control circuits 92 and 93 detect the storage states (conditions) of memories 94 and 95, respectively (like control circuits 62 and 63 in Fig. 2), and generate therefrom respective control signals that are supplied to control circuit 302. Also in accordance with this embodiment of the present invention, the control signals supplied from control circuits 92 and 93 to control circuit 302 are transmitted from control circuit 302 on digital serial bus 300 to control circuit 301 in DVD reproducing apparatus 100.

In accordance with the IEEE-1394 standard, control circuits 301 and 302 each have a block structure as shown in Fig. 6, wherein each control circuit includes an Iso packet transmitting and receiving block 310, a bus control block 311, an information signal processing block 312 and a plug control register 313 located within bus control block 311. Iso packet transmitting and receiving block 310 performs isochronous communication for transmitting the video signal data and audio signal data, and bus control block 311 performs asynchronous communication for transmitting control signals. Data is transmitted between the Iso packet transmitting and receiving block 310 and information signal processing block 312 within each control circuit 301 and 302. In accordance with the IEEE-1394 standard, the Iso packet that is transmitted between control circuit 301 and 302 has the data structure as shown in Fig. 7.

Referring to Fig. 7, each Iso packet is formed from "quadlets" of data, each quadlet consisting of four bytes of information. The Iso packet includes a header, which includes therein the data length that is provided in the so-called first quadlet. The Iso packet header further includes in the second quadlet cyclic redundancy check (CRC) codes for the information of the first quadlet. As shown, the packet header is comprised of the first and second quadlets, such packet header being transmitted at the beginning of packet transmission. A data field follows the packet header, and the cyclic redundancy check codes for the data field follows that data field.

Bus control block 311 of each control circuit 301 and 302 receives from the respective information processing block 312 the control signals that identify the storage states of memories 94 and 95. Such information is transmitted from one control circuit to another control circuit utilizing asynchronous communication. Typically, control circuit 302 transmits such control signals asynchronously to control circuit 301 which subsequently sup-

plies the transmitted control signals to system control circuit 7. As previously mentioned, bus control block 311 of each control circuit 301, 302 includes a respective plug control register 313. Plug control register 313 sets values stored therein in accordance with the transmitted information, for example, the transmitted signals, and the various information generated by the particular equipment utilized, and Iso packet transmitting and receiving block 310 of the respective control circuit 301, 302 is controlled in accordance with the values stored in plug control register 313.

Finally, the control signals transmitted to system control circuit 7 from control 301 operate to control the reproducing operation of DVD reproducing circuit 1 in order to prevent underflow and overflow of memories 94 and 95.

Like the first embodiment previously discussed with reference to Fig. 2, the embodiment of Fig. 3 is operable to transmit variable rate data across a transmission line, for example, IEEE-1394 bus 300, which has a predetermined rate of transmission. Referring again to Fig. 8, the transmission band is secured prior to the transmission of the digital video/audio data and, as previously discussed, the hatched portion of the secured bandwidth of each cycle represents the variable rate data itself supplied by DVD reproducing apparatus 100, and the unsecured transmission band corresponds to those regions beyond the dashed rectangular portions and are usable by other devices.

At least preferred embodiments of the invention provide:

an apparatus and a method which is operable to transmit variable rate digital video/audio data in accordance with the IEEE-1394 standard;
 an apparatus and a method for detecting a peak data rate of variable rate data to be transmitted, establishing a rate of transmission of the variable rate data in accordance with the detected peak data rate, and transmitting in accordance with the established transmission rate the variable rate data on a transmission line that requires the transmission rate to be predetermined;
 a system in which a bandwidth of the transmission line that is required to transmit the variable rate data having the detected peak data rate is secured;
 a system in which the reproducing of a signal from a record medium to produce the variable rate signal is controlled in accordance with a control signal, the variable rate signal is processed (e.g., by an MPEG decoder), the control signal is generated in accordance with a condition of processing of the produced variable rate signal, and the variable rate signal is transmitted on the transmission line;
 a system in which the transmitted variable rate signal is received and processed in a similar manner as that of the produced variable rate signal (e.g., by a second MPEG decoder), but such second

processing does not generate a control signal (similar to the earlier generated control signal) that represents a condition of the second processing; and a system in which the transmitted variable rate signal is received by a receiver (e.g., a digital television), the received transmitted variable rate signal is processed, the control signal is generated in accordance with a condition of processing of the received transmitted variable rate signal, and the generated control signal is transmitted back to the transmitting side, wherein the received transmitted control signal is utilized to control the reproducing of a signal from the record medium.

While the present invention has been particularly shown and described in conjunction with preferred embodiments thereof, it will be readily appreciated by those of ordinary skill in the art that various changes may be made without departing from the scope of the invention. For example, the present invention, although described with reference to the IEEE-1394 standard and the use of MPEG decoders, is not limited to this standard and/or the use of MPEG decoders, but may be applied to other standards and/or other types of coders/decoders that produce/decode variable-rate data.

Therefore, it is intended that the appended claims be interpreted as including the embodiments described herein, the alternatives mentioned above, and all equivalents thereto.

Claims

1. Apparatus for transmitting variable rate data on a transmission line requiring a predetermined rate, comprising:

detection means for detecting a peak data rate of variable rate data to be transmitted;
 means for establishing a transmission rate of said variable rate data in accordance with the detected peak data rate; and
 means for transmitting said variable rate data on said transmission line in accordance with the established transmission rate.

2. The apparatus of claim 1, wherein said means for establishing includes means for securing a bandwidth of said transmission line required to transmit said variable rate data having said detected peak data rate.

3. The apparatus of claim 2, wherein said transmission line has a plurality of cycles, and said means for securing a bandwidth secures the same bandwidth for each cycle of said transmission line.

4. The apparatus of claim 1, further comprising:

- means for controlling the reproducing of a signal from a record medium in accordance with a control signal to produce a variable rate signal; processing means for processing the produced variable rate signal, said processing means including means for generating said control signal in accordance with a condition of processing of the produced variable rate signal by said processing means.
5. The apparatus of claim 4, wherein said processing means is operable to MPEG decode the produced variable rate signal.
 6. The apparatus of claim 4, wherein said processing means includes buffering means for buffering the produced variable rate signal, and said means for generating said control signal generates said control signal representing a state of said buffering means.
 7. The apparatus of claim 4, further comprising reception means for receiving the variable rate signal transmitted on said transmission line, said reception means including reception processing means for processing the received transmitted variable rate signal in a similar manner as said processing means processes the produced variable rate signal, said reception processing means not generating a control signal that controls the reproduction of the signal from the record medium.
 8. The apparatus of claim 7, wherein said processing means and said reception processing means are both MPEG decoders.
 9. The apparatus of claim 1, further comprising:

means for controlling the reproducing of a signal from a record medium in accordance with a control signal to produce said variable rate signal; and

reception means for receiving the variable rate signal transmitted on said transmission line, said reception means including reception processing means for processing the received transmitted variable rate signal; said reception processing means including means for generating said control signal in accordance with a condition of processing of the received transmitted variable rate signal by said reception processing means, said reception means further including reception transmitting means for transmitting the generated control signal to said transmitting means;

wherein said transmitting means is operable to receive the transmitted control signal and to supply the received transmitted control signal
 10. The apparatus of claim 9, wherein said reception processing means includes buffering means for buffering the received transmitted variable rate signal, and said means for generating said control signal generates said control signal representing a state of said buffering means.
 11. The apparatus of claim 10, wherein said reception processing means is an MPEG decoder.
 12. Apparatus for transmitting variable rate data on a transmission line requiring a predetermined rate, comprising:

a peak bit rate detector for detecting a peak data rate of variable rate data to be transmitted; and

a bus controller for establishing a transmission rate of said variable rate data in accordance with the detected peak data rate, and for transmitting said variable rate data on said transmission line in accordance with the established transmission rate.
 13. The apparatus of claim 12, wherein said bus controller is operable to secure a bandwidth of said transmission line required to transmit said variable rate data having said detected peak data rate.
 14. The apparatus of claim 13, wherein said transmission line has a plurality of cycles, and said bus controller secures the same bandwidth for each cycle of said transmission line.
 15. The apparatus of claim 12, further comprising:

a reproducing device controller for controlling the reproducing of a signal from a record medium in accordance with a control signal to produce a variable rate signal;

a processor for processing the produced variable rate signal, said processor being operable to generate said control signal in accordance with a condition of processing of the produced variable rate signal by said processor; and

a transmission line controller for transmitting the variable rate signal on said transmission line.
 16. The apparatus of claim 15, wherein said processor is an MPEG decoder.
 17. The apparatus of claim 15, wherein said processor includes a data buffer for buffering the produced variable rate signal, and said control signal generated by said processor represents a state of said

data buffer.

18. The apparatus of claim 15, further comprising a receiver for receiving the variable rate signal transmitted on said transmission line, said receiver including a reception processor for processing the received transmitted variable rate signal in a similar manner as said processor processes the produced variable rate signal, said reception processor not generating a control signal that controls the reproduction of the signal from the record medium.

19. The apparatus of claim 18, wherein said processor and said reception processor are both MPEG decoders.

20. The apparatus of claim 12, further comprising:

a reproducing device controller for controlling the reproducing of a signal from a record medium in accordance with a control signal to produce a variable rate signal;
a transmitter for transmitting the variable rate signal on said transmission line; and
a receiver for receiving the variable rate signal transmitted on said transmission line, said receiver including a reception processor for processing the received transmitted variable rate signal, said reception processor generating said control signal in accordance with a condition of processing of the received transmitted variable rate signal by said reception processor, said receiver further being operable to transmit the generated control signal to said transmitter;
wherein said transmitter is operable to receive the transmitted control signal and to supply the received transmitted control signal to said reproducing device controller.

21. The apparatus of claim 20, wherein said reception processor includes a data buffer for buffering the received transmitted variable rate signal, and said control signal generated by said reception processor represents a state of said data buffer.

22. The apparatus of claim 21, wherein said reception processor is an MPEG decoder.

23. Method of transmitting variable rate data on a transmission line requiring a predetermined rate, comprising the steps of:

detecting a peak data rate of variable rate data to be transmitted;
establishing a transmission rate of said variable rate data in accordance with the detected peak data rate; and

transmitting said variable rate data on said transmission line in accordance with the established transmission rate.

24. The method of claim 23, wherein said step of establishing is carried out by securing a bandwidth of said transmission line required to transmit said variable rate data having said detected peak data rate.

25. The method of claim 24, wherein said transmission line has a plurality of cycles, and the same bandwidth is secured for each cycle of said transmission line.

26. The method of claim 23, further comprising the steps of:

controlling the reproducing of a signal from a record medium in accordance with a control signal to produce a variable rate signal;
processing the produced variable rate signal;
generating said control signal in accordance with a condition of processing of the produced variable rate signal; and
transmitting the variable rate signal on said transmission line.

27. The method of claim 26, wherein said processing step is carried out by MPEG decoding the produced variable rate signal.

28. The method of claim 26, wherein said processing step includes the step of buffering the produced variable rate signal in a buffer, and said generated control signal represents a state of said buffer.

29. The method of claim 26, further comprising the steps of receiving the variable rate signal transmitted on said transmission line, and processing the received transmitted variable rate signal in a similar manner as said variable rate signal is processed in said first processing step, wherein a control signal representing a condition of processing of the received transmitted variable rate signal similar to the previously generated control signal is not generated.

30. The method of claim 29, wherein said first and second processing steps are carried by respective MPEG decoders.

31. The method of claim 23, further comprising the steps of:

controlling the reproducing of a signal from a record medium in accordance with a control signal to produce a variable rate signal;
transmitting from a transmission side the vari-

able rate signal on said transmission line;
receiving the variable rate signal transmitted on
said transmission line;
processing the received transmitted variable
rate signal; 5
generating said control signal in accordance
with a condition of processing of the received
transmitted variable rate signal;
transmitting the generated control signal on
said transmission line; and 10
receiving at said transmission side the trans-
mitted control signal;
wherein the received transmitted control signal
is utilized to control the reproducing by said
controlling step. 15

32. The method of claim 31, wherein said processing
step includes the step of buffering the received
transmitted variable rate signal in a buffer, and the
generated control signal represents a state of said 20
buffer.

33. The method of claim 32, wherein said processing
step is carried out by an MPEG decoder. 25

30

35

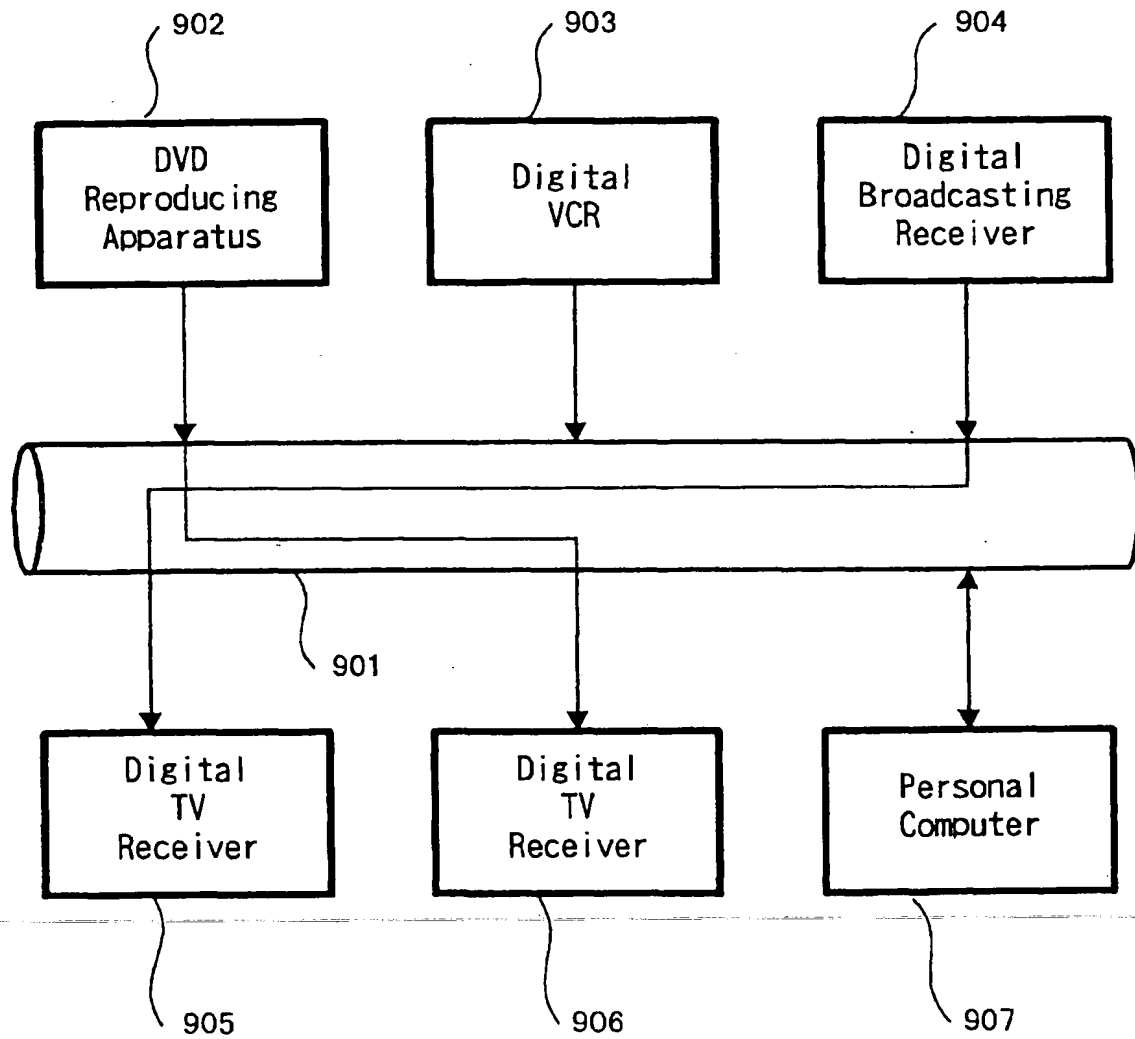
40

45

50

55

FIG. 1



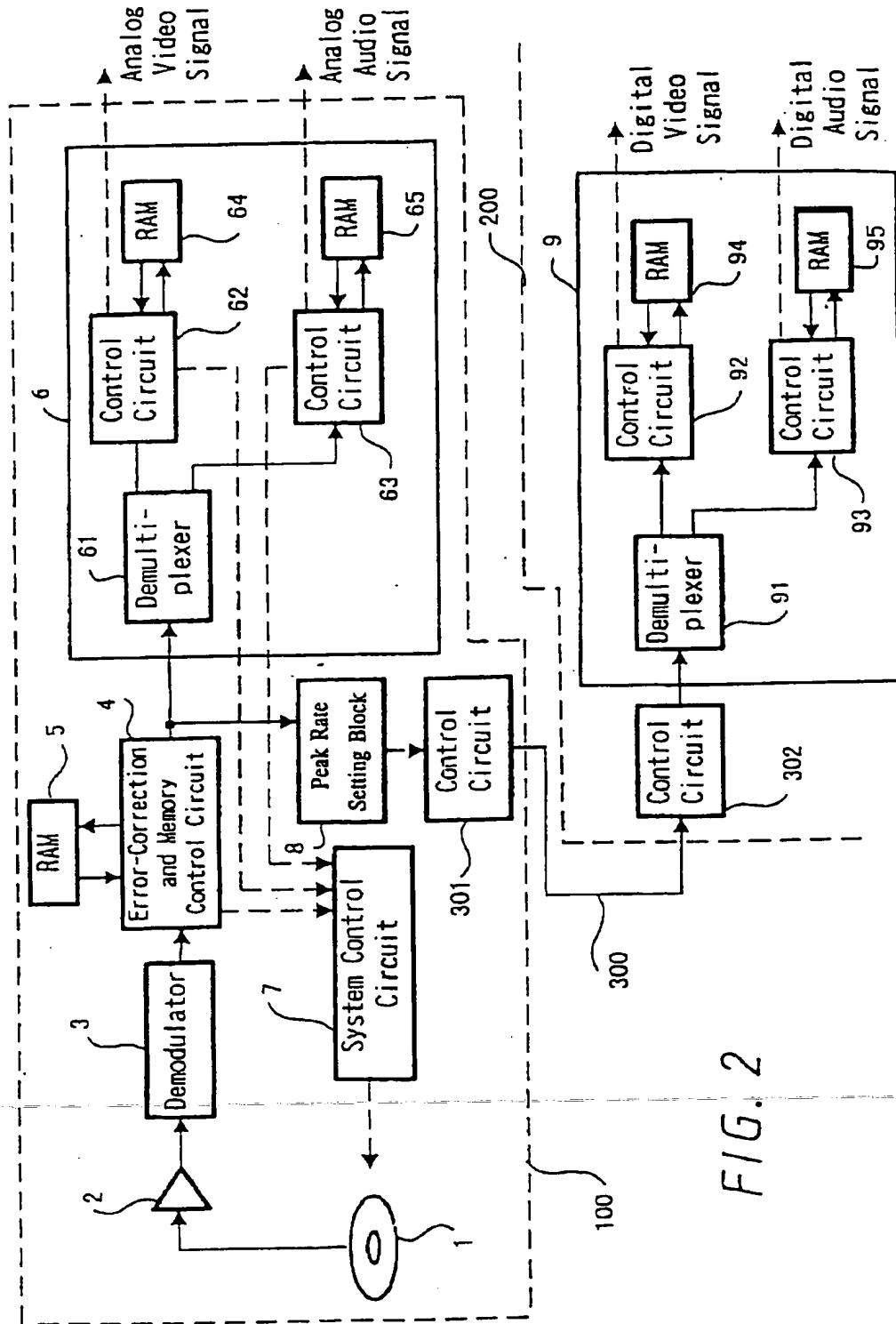


FIG. 2

FIG. 3

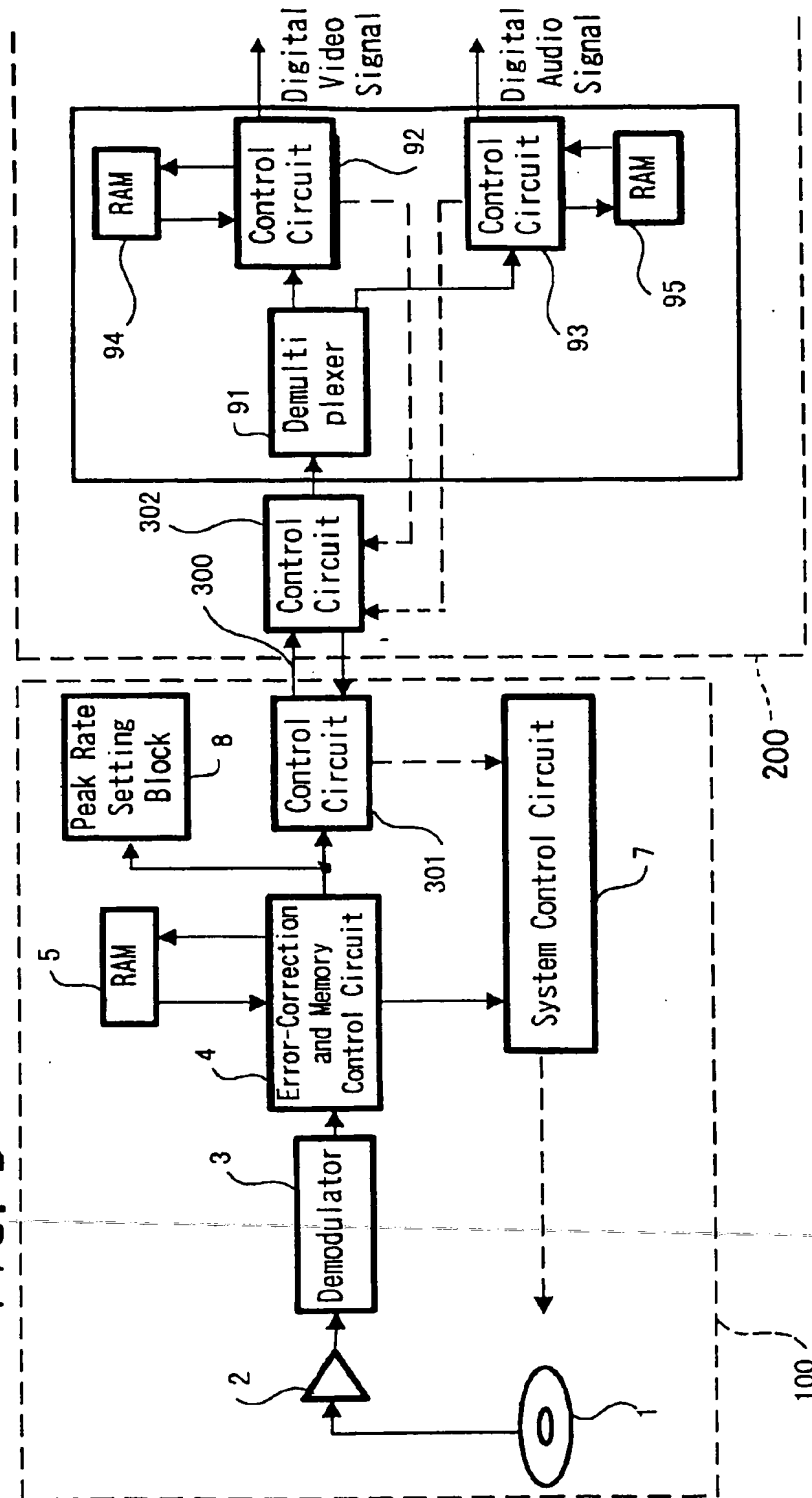


FIG. 4

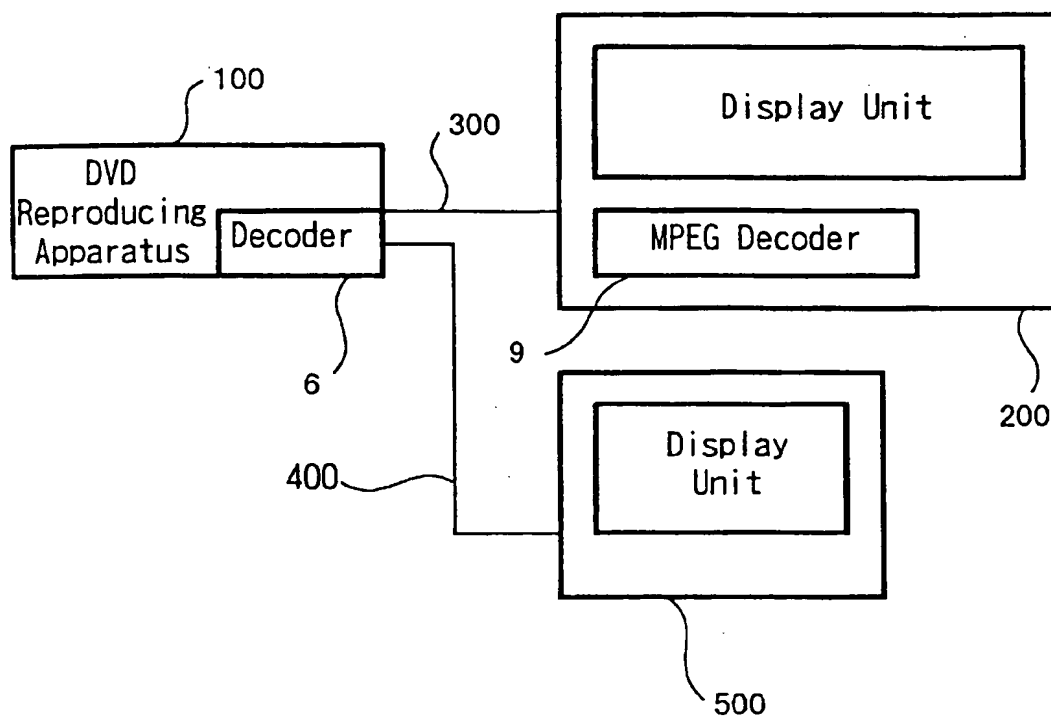


FIG. 5

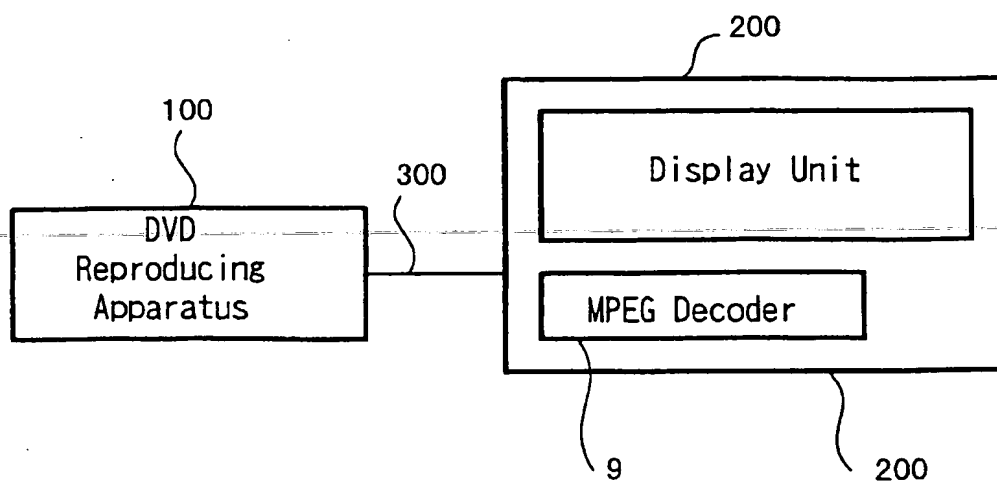


FIG. 6

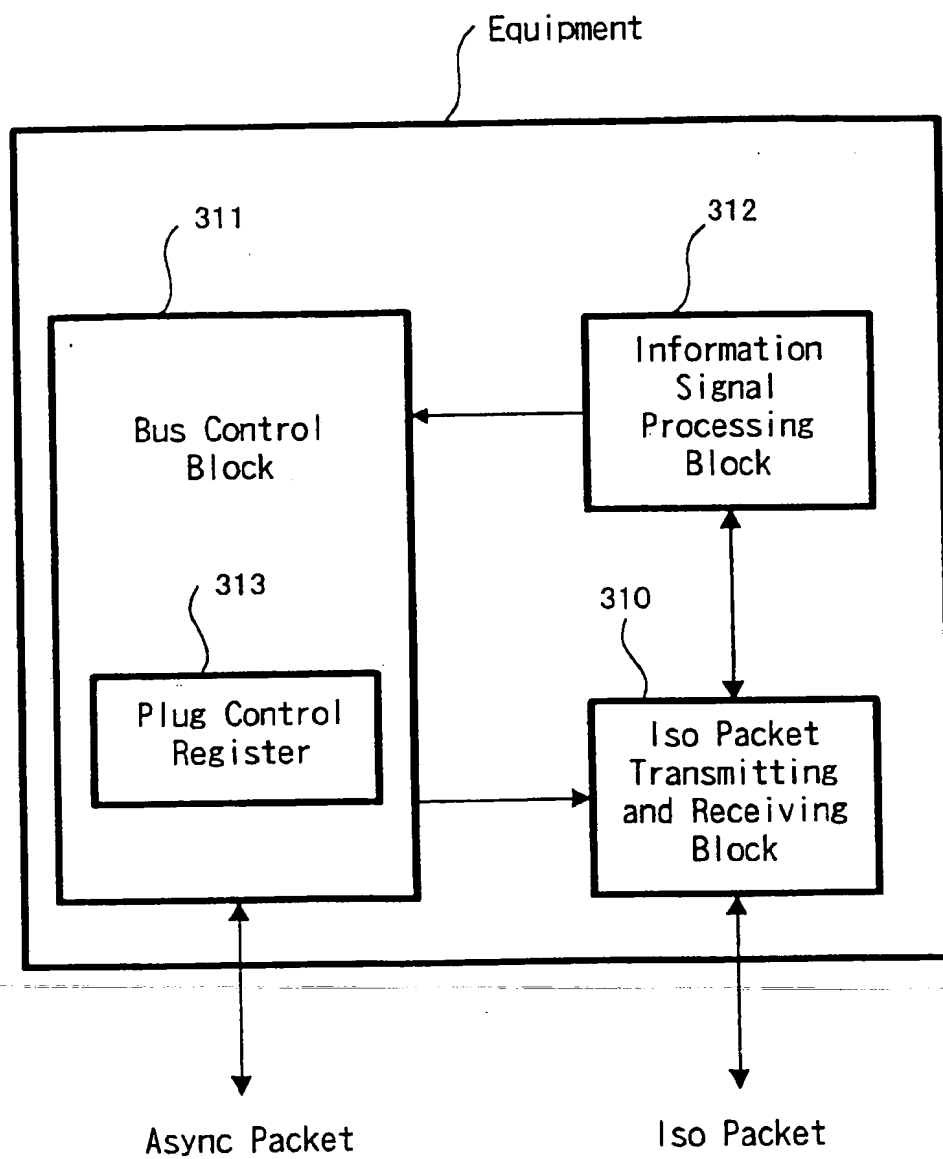


FIG. 7

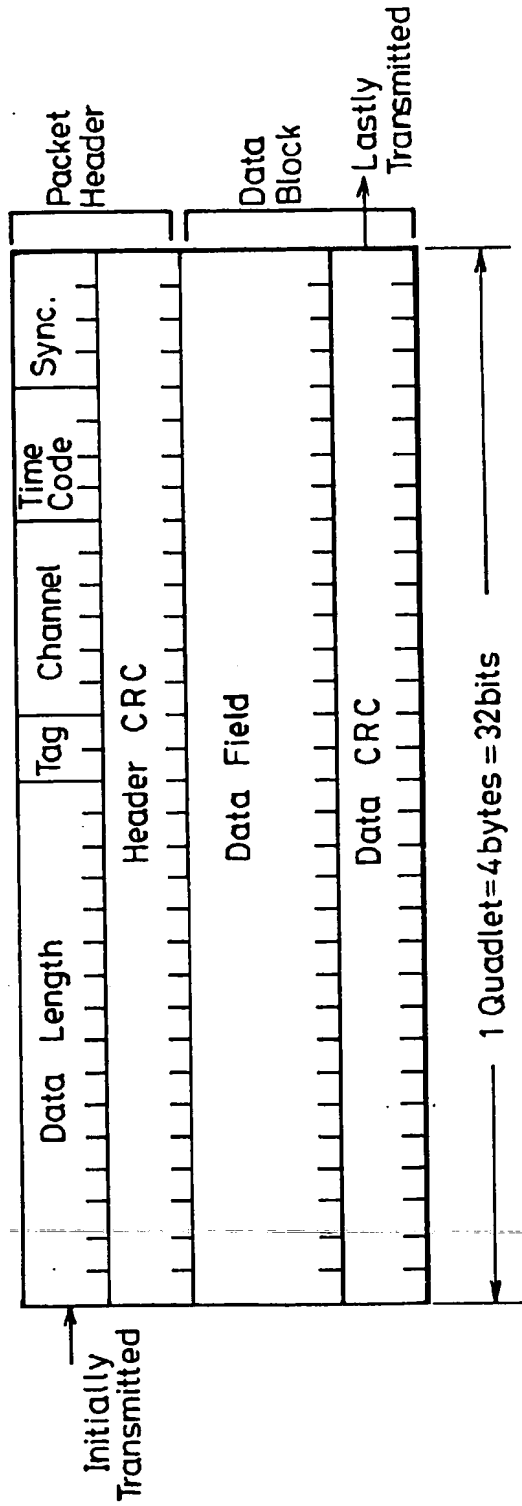
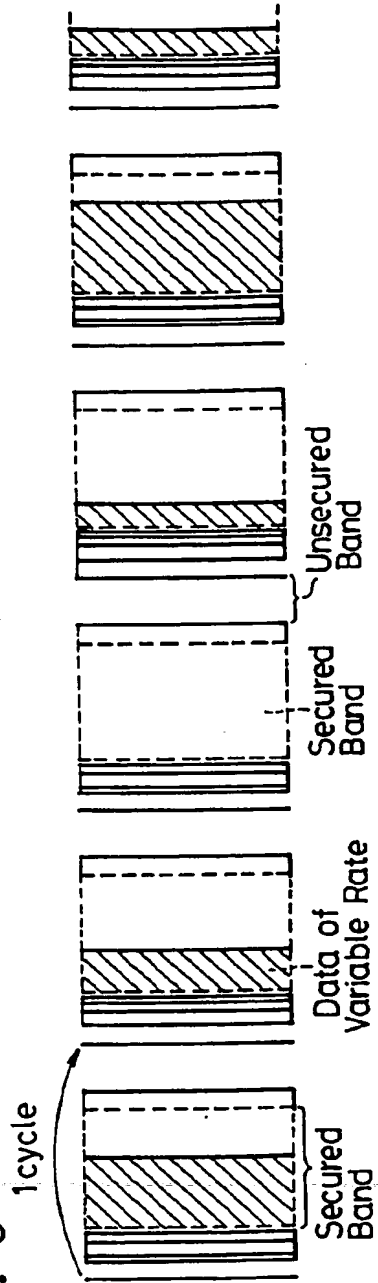


FIG. 8



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-65718

(43) 公開日 平成10年(1998) 3月6日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 12/40

H 0 4 L 11/00

3 2 0

// H 0 4 L 12/56

9744-5K

11/20

1 0 2 A

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号

特願平8-222657

(22) 出願日

平成8年(1996) 8月23日

(71) 出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者

堀口 麻里

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者

柳原 尚史

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人

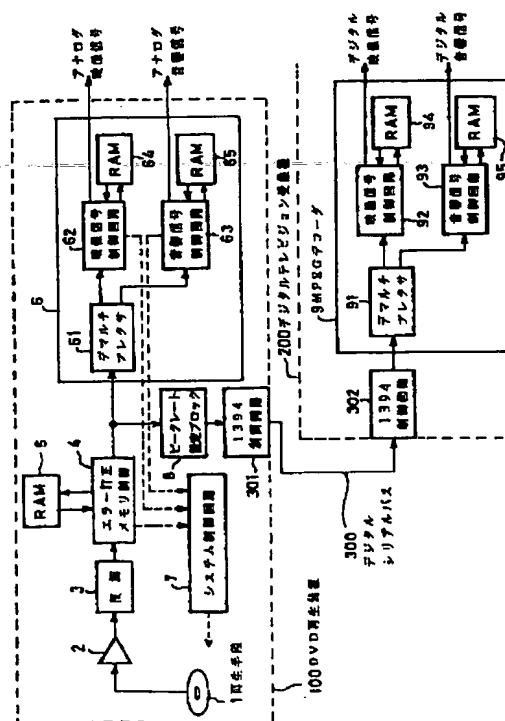
弁理士 松隈 秀盛

(54) 【発明の名称】 データ伝送方法及び装置

(57) 【要約】

【課題】 可変レートデータを予め定められたレートの伝送路を用いて伝送する。

【解決手段】 例えばDVDの再生手段1から取り出されたデジタル信号が誤り訂正及びメモリ制御回路4及びRAM5に供給され、誤り訂正されたデジタル信号が例えばMPEGデコーダ6に供給される。また例えばIEEE-P1394の制御回路301が設けられ、デジタル信号がピークレート設定ブロック8を通じて供給される。このピークレート設定ブロック8においては伝送信号のピークレートが設定され、このピークレートの値から伝送に必要なユニット数が計算され、このユニット数を伝送できるように制御回路301で伝送帯域が確保される。これによりデジタル信号がデジタルシリアルバス300を通じて、例えばMPEGデコーダ9を有するデジタルテレビジョン受像機200に伝送される。



【特許請求の範囲】

【請求項1】 可変レートのデータを予め定められたレートの伝送路を用いて伝送するに当たり、上記可変レートのデータのピークレートのデータを伝送する帯域を設定し、この設定された帯域を用いて上記可変レートのデータを上記伝送路に順次送信すると共に、上記データの処理状況に応じて上記送信を制御することを特徴とするデータ伝送方法。

【請求項2】 請求項1記載のデータ伝送方法において、受信側で上記データの処理状況を判別し、この判別に応じた情報を送信側に伝送して、上記送信の制御を行うことを特徴とするデータ伝送方法。

【請求項3】 請求項1記載のデータ伝送方法において、受信側で上記データの処理する手段と同等の処理手段を送信側に設け、上記送信側での上記データの処理状況を判別し、この判別に応じて上記送信を制御することを特徴とするデータ伝送方法。

【請求項4】 可変レートのデータを予め定められたレートの伝送路を用いて伝送するに当たり、上記可変レートのデータのピークレートのデータを伝送する帯域を設定する設定手段を設け、この設定された帯域を用いて上記可変レートのデータを上記伝送路に順次送信する送信手段を設けると共に、上記データの処理状況を判別する判別手段を設け、上記判別手段からの判別信号に応じて上記送信手段を制御することを特徴とするデータ伝送装置。

【請求項5】 請求項4記載のデータ伝送装置において、受信側に上記データの処理状況を判別する判別手段を設け、上記判別手段からの判別信号に応じて情報を送信側に伝送して上記送信手段の制御を行うことを特徴とするデータ伝送装置。

【請求項6】 請求項4記載のデータ伝送装置において、受信側に設けられる上記データの処理手段と同等の処理手段を送信側にも設け、上記送信側での上記データの処理状況を判別する判別手段を設け、上記判別手段からの判別信号に応じて上記送信手段を制御することを特徴とするデータ伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えばDVD（デジタル・ビデオ・ディスク）から再生されるデジタル信

号を、IEEE-P1394を通じて伝送する際に使用して好適な、データ伝送方法及び装置に関するものである。

【0002】

【従来の技術】 例えばDVD再生装置やデジタルVTR、デジタルテレビジョン放送のチューナなどの、民生用のデジタル音響／映像機器が各種実施されている。このようなデジタル機器において、これらの機器から取り出される信号は、従来は、例えばDVD再生装置等で復調及びA/D変換が行われ、アナログ信号で取り出されて他の機器に供給されるのが一般的であった。

【0003】 しかしながらこのような機器から取り出された信号を、例えばコンピュータやデジタル対応のテレビジョン受像機等に供給する場合には、デジタル信号のままに伝送する方が何かと有利である。そこでこのようなデジタル音響／映像信号を伝送するための手段として、IEEE-P1394と呼ばれるデジタルシリアルバスを用いた通信システムが提案されている。

【0004】 すなわち図8は、デジタルシリアルバスを用いて形成された通信システムの一例を示す。この図8において、IEEE-P1394バス901に対して、DVD再生装置902やデジタルVTR903、デジタル放送受像機904等のデジタル信号出力装置と、デジタルテレビジョン受像機905、906やパーソナルコンピュータ907等のデジタル信号入力装置が接続される。

【0005】 これによってこれらのデジタル音響／映像機器の間で、IEEE-P1394バス901を通じてデジタル信号の送受信が行われる。そしてIEEE-P1394バス901を例えば100Mbps対応とした場合には、IEEE-P1394で定められた通信サイクルである125μsecの間に、任意のデータの伝送単位であるユニットを、4915ユニット伝送することができる。

【0006】 ここでこのユニットは伝送される信号のビットレートの値に対応するものである。そして例えば一般的な映像信号の平均ビットレートである約10Mbpsを伝送するためには、上述のシステムでは例えば1200ユニットが使用される。また、音響信号の平均ビットレートである約2Mbpsを伝送するためには、例えば704ユニットが使用されるものである。

【0007】 従って上述の通信システムにおいて、DVD再生装置902やデジタルVTR903、デジタル放送受像機904等のデジタル信号出力装置から出力されるデジタル映像信号や音響信号を、IEEE-P1394バス901を通じて、デジタルテレビジョン受像機905、906やパーソナルコンピュータ907等のデジタル信号入力装置に伝送することができる。

【0008】 ところが上述のIEEE-P1394のシステムでは、伝送される信号は、予め伝送レートを決定

して伝送が行われるものである。これに対して、例えばDVDから再生されるデジタル信号は、例えばMPEG方式を用いて可変レートで再生されるものであり、特に動きの少ない画像では、連続して再生を行う必要がなくなつて、DVDの再生動作が停止される場合も生じるものである。

【0009】従つてこのような例えばDVDから可変レートで再生されるデジタル信号は、このままでは上述のIEEE-P1394の通信システムでは伝送することができないものであつた。

【0010】

【発明が解決しようとする課題】この出願はこのように鑑みて成されたものであつて、解決しようとする問題点は、例えばDVDから再生されるデジタル信号は、従来は例えばIEEE-P1394のシステムでは伝送することができなかったというものである。

【0011】

【課題を解決するための手段】このため本発明においては、可変レートのデータのピークレートのデータを伝送する帯域を設定し、この設定された帯域を用いて可変レートのデータを伝送路に順次送信すると共に、データの処理状況に応じて送信を制御するようにしたものであつて、これによれば、可変レートのデータを予め定められたレートの伝送路を用いて伝送することができる。

【0012】

【発明の実施の形態】すなわち本発明においては、可変レートのデータを予め定められたレートの伝送路を用いて伝送するに当たり、可変レートのデータのピークレートのデータを伝送する帯域を設定し、この設定された帯域を用いて可変レートのデータを伝送路に順次送信すると共に、データの処理状況に応じて送信を制御してなるものである。以下、図面を参照して本発明を説明するに、図1、図2は、それぞれ本発明を適用したデータ伝送装置の一例の構成を示すブロック図である。

【0013】なお、図1、図2は、それぞれ例えばDVD再生装置100とMPEGデコーダを有するデジタルテレビジョン受像機200の間を、IEEE-P1394のデジタルシリアルバス300を用いて接続する場合の例を示している。ここで図1は、例えば図3に示すようにDVD再生装置100にMPEGデコーダが内蔵されている場合である。また図2は、例えば図4に示すようにDVD再生装置100にMPEGデコーダが内蔵されていない場合である。

【0014】そこでまず図1のDVD再生装置100にMPEGデコーダが内蔵されている場合においては、図示のように例えばDVDの再生手段1からの再生信号がアンプ2を通じて復調器3に供給されて、DVDに記録されたデジタル信号が取り出される。このデジタル信号が誤り訂正及びメモリ制御回路4を通じてランダムアクセスメモリ(RAM)5に記憶されて誤り訂正が行われ

る。

【0015】さらにこの誤り訂正されたデジタル信号が内蔵のMPEGデコーダ6に供給される。そしてこのMPEGデコーダ6においては、供給されたデジタル信号がデマルチプレクサ61に供給されて、例えば映像信号のデータと音響信号のデータに分離される。この分離されたデータがそれぞれ制御回路62、63を通じてランダムアクセスメモリ(RAM)64、65に記憶される。

【0016】さらに、これらのRAM64、65に記憶された映像信号のデータと音響信号のデータがそれぞれ制御回路62、63との間で交換処理されて、それぞれMPEG方式の映像信号及び音響信号のデコードが行われる。そしてこれらのデコードされた映像信号と音響信号が、それぞれ例えばアナログ信号でMPEGデコーダ6から取り出される。

【0017】それと共に、これらのRAM64、65の記憶状況が制御回路62、63で判別され、この判別信号がシステム制御回路7に供給される。また、RAM5の記憶状況がメモリ制御回路4で判別され、この判別信号がシステム制御回路7に供給される。そしてこのシステム制御回路7では、これらのRAM5、64、65の記憶状況に応じて、例えばDVDの再生手段1の再生動作が制御される。

【0018】またこのDVD再生装置100において、例えばIEEE-P1394の制御回路301が設けられる。この制御回路301には、上述の誤り訂正及びメモリ制御回路4から取り出される誤り訂正されたデジタル信号がピークレート設定ブロック8を通じて供給される。そしてこの制御回路301において、例えばIEEE-P1394の規定に従ったデジタル信号の送信が行われる。

【0019】すなわち、例えばDVDの再生においては、上述のように映像信号の平均ビットレートは約10Mbpsとされ、音響信号の平均ビットレートは約2Mbpsとされている。そこでこれらの信号のピークレートを平均の2倍とした場合に、このピークレートの伝送には、例えば上述した100Mbps対応のシステムで、映像信号に2400ユニット、音響信号には1408ユニットあればよい。

【0020】従つてこの装置において、上述のピークレート設定ブロック8に例えば映像信号=2400ユニット、音響信号=1408ユニットを設定し、制御回路301では、これらのユニット数を伝送できるように、例えばIEEE-P1394の規定に従つて伝送帯域が確保される。すなわちこの制御回路301から必要な伝送帯域が通信システムの全体を制御する任意のマスタ機器に要求され、必要な伝送帯域が確保される。

【0021】このようにして制御回路301で必要な伝送帯域が確保され、この伝送帯域を使って誤り訂正及び

メモリ制御回路4からのデジタル信号の伝送が行われる。そしてこの制御回路301に供給されたデジタル信号がデジタルシリアルバス300を通じて、例えばMPEGデコーダを有するデジタルテレビジョン受像機200に設けられたIEEE-P1394の制御回路302に伝送される。

【0022】これによって、上述のDVD再生装置100に設けられた制御回路301と、受像機200に設けられた制御回路302との間で、例えばIEEE-P1394の規定に従ったデジタル信号の伝送が行われる。すなわち上述のDVD再生装置100に設けられた制御回路301から送信されたデジタル信号が受像機200に設けられた制御回路302で受信される。

【0023】さらに、制御回路302で受信されたデジタル信号が受像機200に内蔵されたMPEGデコーダ9に供給される。このMPEGデコーダ9では供給されたデジタル信号がデマルチプレクサ91に供給されて、例えば映像信号と音響信号のデータに分離される。この分離されたデータがそれぞれ制御回路92、93を通じてランダムアクセスメモリ(RAM)94、95に記憶される。

【0024】さらにこれらのRAM94、95に記憶された映像信号と音響信号のデータがそれぞれ制御回路92、93との間で交換処理されて、それぞれMPEG方式の映像信号及び音響信号のデコードが行われる。そしてこれらのデコードされた映像信号と音響信号が、それぞれ例えばデジタル信号でMPEGデコーダ9から取り出される。

【0025】そしてこのDVD再生装置100において、例えばDVDの再生手段1からの映像信号及び音響信号の再生中に、RAM64、65には、それぞれ制御回路62、63での処理に応じた映像信号と音響信号のデータが記憶される。一方、RAM94、95にも、それぞれ制御回路92、93での処理に応じた映像信号と音響信号のデータが記憶される。

【0026】ここで制御回路62、63及び92、93には同等の回路が用いられているとすると、RAM64、65及び94、95に記憶されるデータの量も等しいものになる。そこでRAM64、65で映像信号と音響信号のデータの占有量を判別すると、RAM94、95での占有量を判別できることになり、この判別信号を用いて、例えばDVDの再生手段1の再生動作を制御することができる。

【0027】すなわち例えばDVDを再生する場合において、MPEGデコーダ6、9に設けられたメモリ(RAM64、65及び94、95)が一杯に近づく、再生手段1の再生動作が停止され、これらのメモリが空に近づく、再生動作が開始される制御が行われている。一方、上述の構成でRAM64、65及び94、95の占有量は等しいものと判断されている。

【0028】そこで上述の構成においては、RAM64、65の占有量を判別し、占有量が所定の値を越えたときは、例えばDVDの再生手段1の再生動作を停止させ、所定の値以下になったときに再生動作を開始させる制御を行う。これによって、デコーダ9がデジタルシリアルバス300を通じて接続されている場合であっても、その処理の状況に応じて再生手段1の再生動作を制御することができる。

【0029】従ってこの装置において、可変レートデータのピークレートのデータを伝送する帯域を設定し、この設定された帯域を用いて可変レートデータを伝送路に順次送信すると共に、データの処理状況に応じて送信を制御することによって、可変レートデータを予め定められたレートの伝送路を用いて伝送することができる。

【0030】これによって、従来は例えばDVDから再生されるデジタル信号は、例えばIEEE-P1394のシステムでは伝送することができなかったものを、本発明によれば、伝送することができるようになるものである。

【0031】なお、上述のMPEGデコーダ6から取り出されたアナログ信号の映像信号と音響信号は、それぞれアナログ信号線400を通じてアナログテレビジョン受像機500に供給することもできる。

【0032】さらに図2は、DVD再生装置100にMPEGデコーダが内蔵されていない場合である。この例においても、例えばDVDの再生手段1からの再生信号がアンプ2を通じて復調器3に供給されて、DVDに記録されたデジタル信号が取り出される。このデジタル信号が誤り訂正及びメモリ制御回路4を通じてランダムアクセスメモリ(RAM)5に供給されて誤り訂正が行われる。

【0033】そしてこの例では、誤り訂正されたデジタル信号とピークレート設定ブロック8に設定されたピークレートの値が例えばIEEE-P1394の制御回路301に供給される。そしてこの設定されたピークレートの値に従って上述の伝送帯域が確保される。

【0034】これによって、上述のDVD再生装置100に設けられた制御回路301と、受像機200に設けられた制御回路302との間で、例えばIEEE-P1394の規定に従ったデジタル信号の伝送が行われる。すなわち上述のDVD再生装置100に設けられた制御回路301から送信されたデジタル信号が受像機200に設けられた制御回路302で受信される。

【0035】さらに制御回路302で受信されたデジタル信号が受像機200に内蔵されたMPEGデコーダ9に供給される。このMPEGデコーダ9では供給されたデジタル信号がデマルチプレクサ91に供給されて、例えば映像信号と音響信号のデータに分離される。そして分離されたデータがそれぞれ制御回路92、93を通じ

てランダムアクセスメモリ (RAM) 94、95に供給される。

【0036】さらに、これらのRAM94、95に記憶された映像信号と音響信号のデータがそれぞれ制御回路92、93との間で交換処理されて、それぞれMPEG方式の映像信号及び音響信号のデコードが行われる。そしてこれらのデコードされた映像信号と音響信号が、それぞれ例えばデジタル信号でMPEGデコーダ9から取り出される。

【0037】それと共に、これらのRAM94、95の記憶状況が制御回路92、93で判別され、この判別信号が制御回路302に供給される。そしてこの制御回路302に供給された判別信号が、例えばIEEE-P1394の規定に従ってデジタルシリアルバス300を通じて上述のDVD再生装置100に設けられた制御回路301に伝送される。

【0038】ここで例えばIEEE-P1394の規定においては、制御回路301、302には例えば図5に示すような回路が設けられる。この図5において、例えば映像信号と音響信号のデータを伝送するアイソクロナス(Isochronous)通信を行うIsoパケット送受信ブロック310と、制御信号等を伝送するアシンクロナス(Asynchronous)通信を行うバス制御ブロック311が設けられる。

【0039】そしてこのIsoパケット送受信ブロック310と、上述の誤り訂正及びメモリ制御回路4、ピークレート設定ブロック8、あるいはMPEGデコーダ9等の情報信号処理ブロック312との間でデータの伝送が行われる。このデータの伝送においては、例えば図6に示すようなIEEE-P1394で規定されたIsoパケットによる通信が用いられる。

【0040】すなわちこのIsoパケットは、4バイト(=1クアドレット)を単位として構成され、第1のクアドレットにデータ長等のヘッダ情報が設けられ、第2のクアドレットにこのヘッダ情報に対するCRCが設けられる。この第1及び第2のクアドレットにてパケットヘッダが構成される。このパケットヘッダはIsoパケットの伝送ごとにその最初に伝送される。

【0041】さらに、パケットヘッダに続いてデータフィールドが設けられる。このデータフィールドも上述のクアドレット単位で構成される。そしてこのデータフィールドの最後に、これらのデータフィールドに対するCRCが設けられてデータブロックが構成される。これらのパケットヘッダ及びデータブロックによって、IEEE-P1394で規定されたIsoパケットが構成される。

【0042】また上述のバス制御ブロック311には、情報信号処理ブロック312からの信号の種類の情報や、RAM94、95の記憶状況の判別信号等が供給され、これらの情報がアシンクロナス通信で他の制御回路

301、302に伝送される。そしてこれらの伝送された信号に基づいて、それぞれ制御回路301、302等の設けられた機器の制御が行われる。

【0043】さらに上述のバス制御ブロック311には、プラグ制御レジスタ313が設けられる。このプラグ制御レジスタ313には、機器で形成された情報や上述の伝送された情報に従って値が設定される。そしてこのプラグ制御レジスタ313に設定された各種情報に従った値に基づいて、例えば上述のIsoパケット送受信ブロック310でのデータの入出力が制御される。

【0044】そしてこのアシンクロナス通信を通じて、例えばRAM94、95の記憶状況の判別信号が制御回路302から制御回路301に伝送され、制御回路301で受信された判別信号がシステム制御回路7に供給される。これによってシステム制御回路7では、上述のRAM5及びRAM94、95の記憶状況に応じて、例えばDVDの再生手段1の再生動作が制御される。

【0045】従ってこの装置においても、可変レートのデータのピークレートのデータを伝送する帯域を設定し、この設定された帯域を用いて可変レートのデータを伝送路に順次送信すると共に、データの処理状況に応じて送信を制御することによって、可変レートのデータを予め定められたレートの伝送路を用いて伝送することができる。

【0046】これによって、従来は例えばDVDから再生されるデジタル信号は、例えばIEEE-P1394のシステムでは伝送することができなかったものを、本発明によれば、伝送することができるようになるものである。

【0047】すなわち上述の装置においては、ピークレート設定ブロック8に設定されたピークレートに従って例えばIEEE-P1394の伝送帯域が確保される。これによって伝送帯域は、例えば図7に破線で示すように、常に固定の帯域が確保され、可変レートのデータ(斜線)をこの固定の帯域の中で伝送することによって、予め定められたレートの伝送路を用いて伝送することができるようになる。

【0048】こうして上述のデータ伝送方法及び装置によれば、可変レートのデータを予め定められたレートの伝送路を用いて伝送するに当たり、可変レートのデータのピークレートのデータを伝送する帯域を設定し、この設定された帯域を用いて可変レートのデータを伝送路に順次送信すると共に、データの処理状況に応じて送信を制御することにより、可変レートのデータを予め定められたレートの伝送路を用いて伝送することができるものである。

【0049】

【発明の効果】この発明によれば、可変レートのデータのピークレートのデータを伝送する帯域を設定し、この設定された帯域を用いて可変レートのデータを伝送路に

順次送信すると共に、データの処理状況に応じて送信を制御することによって、可変レートのデータを予め定められたレートの伝送路を用いて伝送することができるようになった。

【0050】これによって、従来は例えばDVDから再生されるデジタル信号は、例えばIEEE-P1394のシステムでは伝送することができなかったものを、本発明によれば、伝送することができるようになるものである。

【図面の簡単な説明】

【図1】本発明の適用されるデータ伝送装置の一例の構成図である。

【図2】本発明の適用されるデータ伝送装置の他の例の構成図である。

【図3】その説明のための全体の構成を示す図である。

【図4】その説明のための全体の構成を示す図である。

【図5】その動作の説明のための制御回路の一例の構成

図である。

【図6】その説明のためのIsoパケットの構成を示す図である。

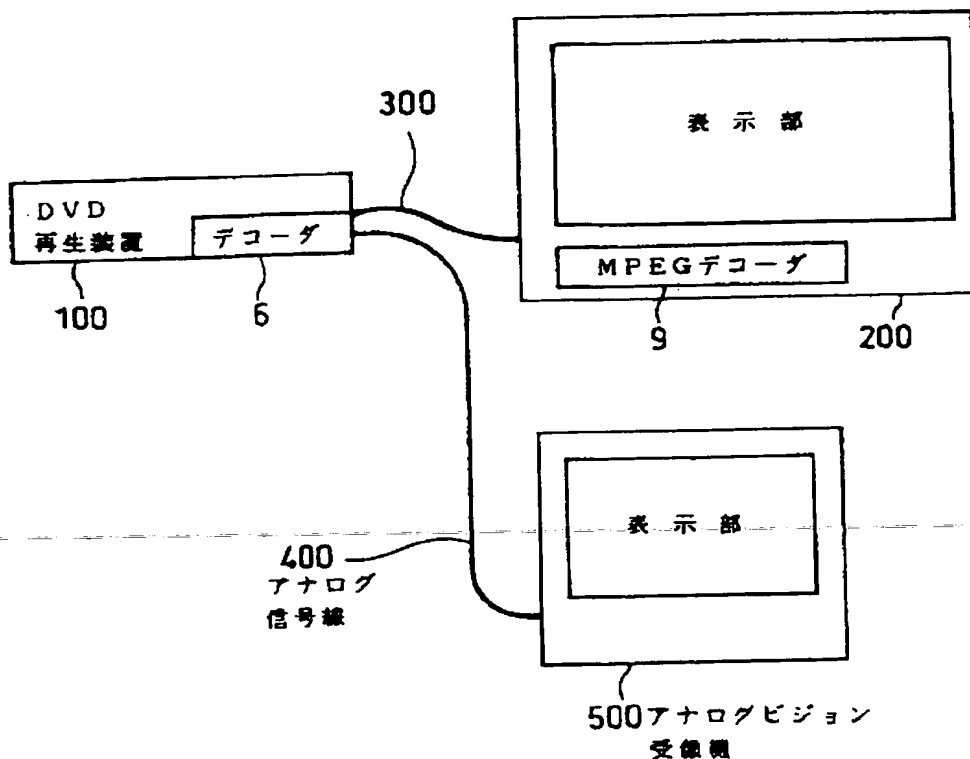
【図7】本発明によるデータ伝送方法の説明のための図である。

【図8】IEEE-P1394のシステムを用いた全体の構成を示す図である。

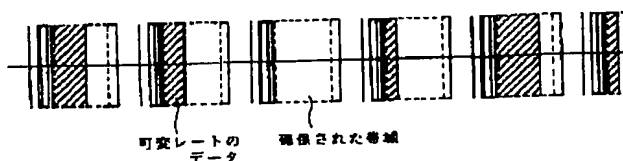
【符号の説明】

1 DVDの再生手段、2 アンプ、3 復調器、4 誤り訂正及びメモリ制御回路、5、64、65、94、95 ランダムアクセスメモリ、6、9 MPEGデコーダ、61、91 デマルチプレクサ、62、63、92、93 制御回路、7 システム制御回路、8 ピークレート設定ブロック、100 DVD再生装置、200 デジタルテレビジョン受像機、300 デジタルシリアルバス、301、302 IEEE-P1394の制御回路

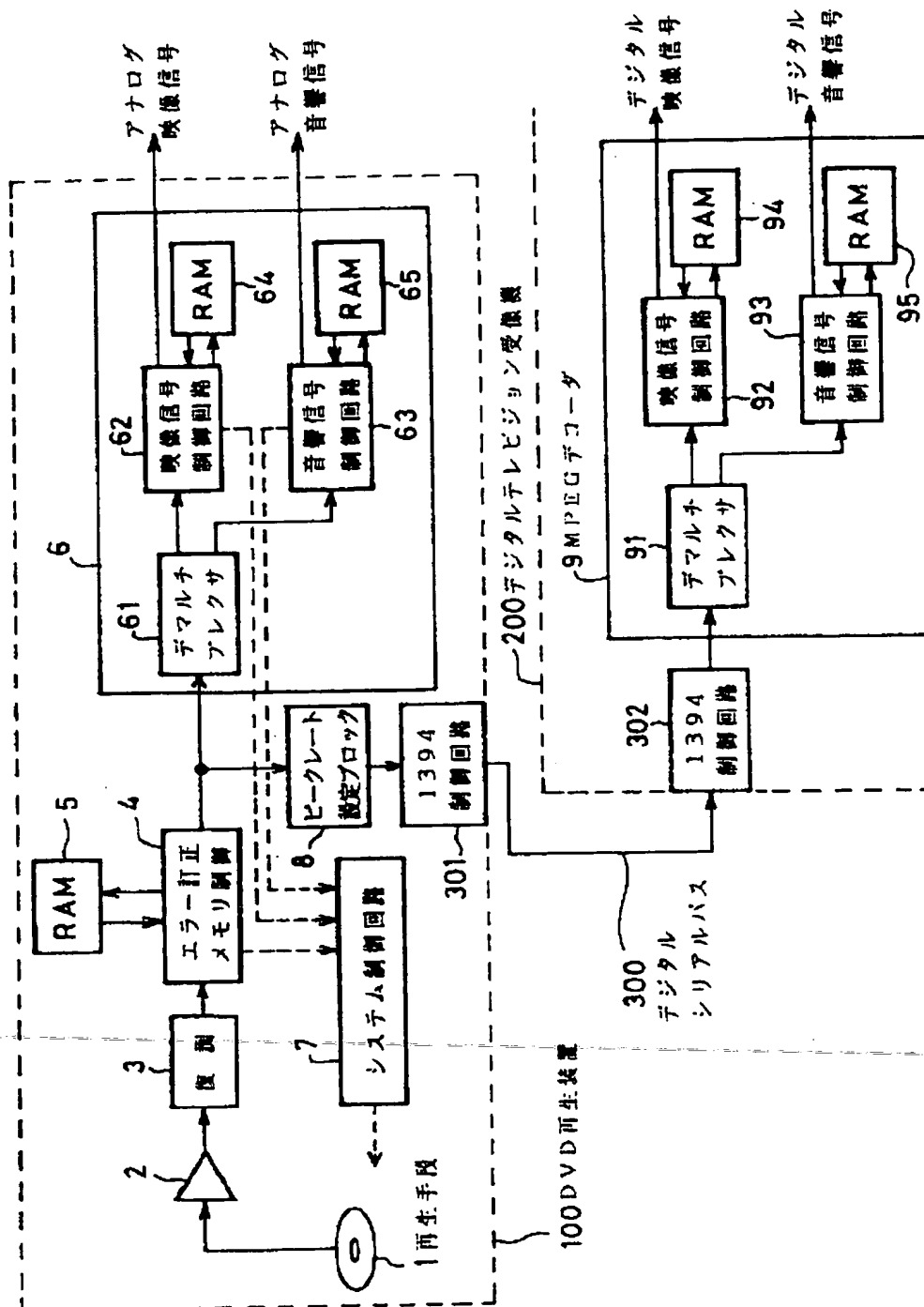
【図3】



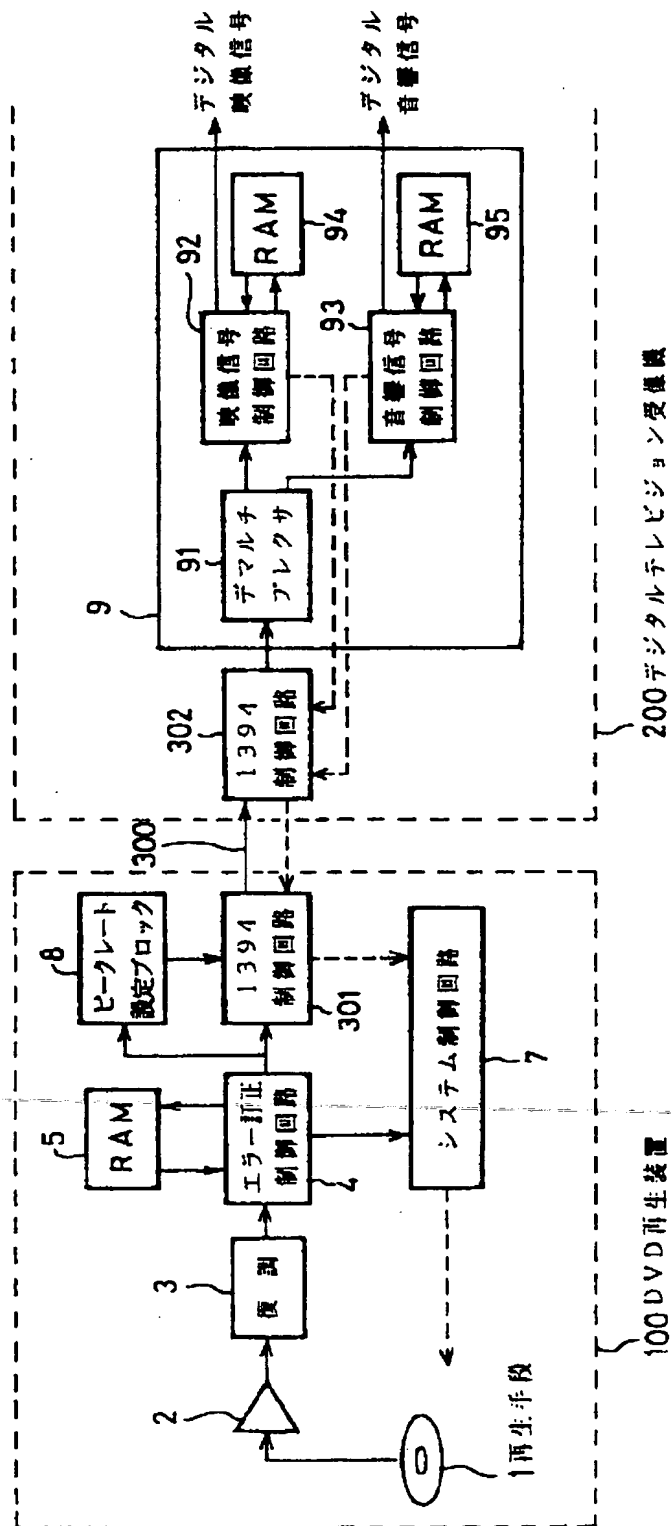
【図7】



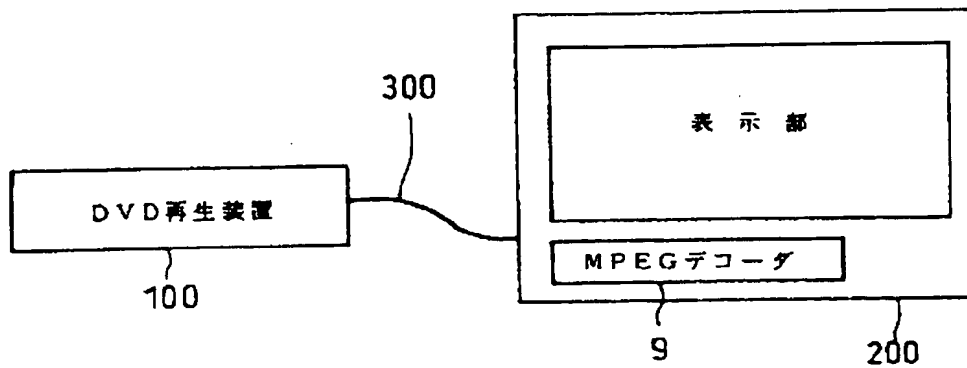
【図1】



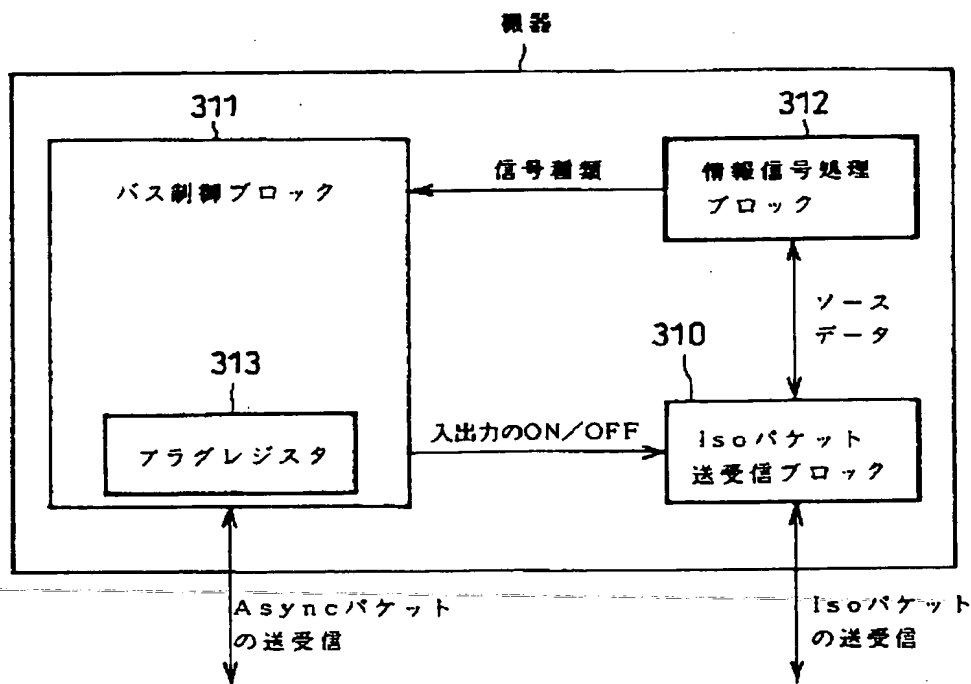
【図2】



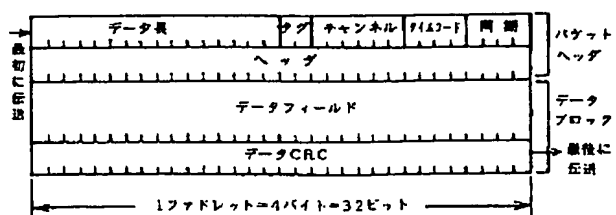
【図4】



【図5】



【図6】



【図8】

